

**TOSHIBA**

8 ビットマイクロコントローラ  
TLCS-870/C シリーズ

**TMP86P820UG**

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023\_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023\_B

- 
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106\_Q
- 
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023\_C
- 
- 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023\_F
- 
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023\_D
- 
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519\_S
-

類似製品の相違点 (MASK 製品)

機能の相違点 (TMP86CM29L / TMP86Cx29B / TMP86CH21 / TMP86Cx20 シリーズ)

|                                |                                                                                |                                                                                                |                         |                              |
|--------------------------------|--------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------|-------------------------|------------------------------|
| 対象製品                           | TMP86CM29L                                                                     | TMP86C829B<br>TMP86CH29B<br>TMP86CM29B                                                         | TMP86CH21<br>TMP86CH21A | TMP86C420<br>TMP86C820       |
| ROM                            | 32K バイト                                                                        | C829: 8K バイト<br>CH29: 16K バイト<br>CM29: 32K バイト                                                 | 16K バイト                 | C420: 4K バイト<br>C820: 8K バイト |
| RAM                            | 1.5K バイト                                                                       | C829: 512 バイト<br>CH29: 1.5K バイト<br>CM29: 1.5K バイト                                              | 512 バイト                 | 256 バイト                      |
| I/O ポート                        | 39 端子                                                                          |                                                                                                |                         |                              |
| 最小命令実行時間                       | 0.25μsec(16MHz 動作時)                                                            |                                                                                                |                         |                              |
| 電源電圧 (注 6)                     | 1.8V ~ 3.6V @8.0MHz/<br>32.768kHz<br>2.7V ~ 3.6V @16MHz/<br>32.768kHz<br>(注 4) | 1.8V ~ 5.5V @4.2MHz/32.768kHz<br>2.7V ~ 5.5V @8.0MHz/32.768kHz<br>4.5V ~ 5.5V @16MHz/32.768kHz |                         |                              |
| 18 ビット<br>タイマカウンタ              | 1ch<br>(ECIN 入力両エッジ／片エッジ切替可)                                                   |                                                                                                |                         | 1ch<br>(ECIN 入力片エッジのみ)       |
| 8 ビット<br>タイマカウンタ               | 4ch                                                                            |                                                                                                |                         | 2ch                          |
| タイムベースタイマ                      | 1ch                                                                            |                                                                                                |                         |                              |
| ウォッチドッグタイマ                     | 1ch                                                                            |                                                                                                |                         |                              |
| UART/SIO                       | 1ch (注 1)                                                                      |                                                                                                |                         | -                            |
| SIO                            | -                                                                              |                                                                                                |                         | 1ch                          |
| キーオン<br>ウェイクアップ                | 4ch                                                                            |                                                                                                |                         |                              |
| AD コンバータ                       | 10 ビット × 8ch                                                                   |                                                                                                | 8 ビット × 8ch             |                              |
| LCD ドライバ                       | 32SEG × 4COM                                                                   |                                                                                                |                         |                              |
| 動作温度 (注 5)                     | -40 ~ 85 °C                                                                    |                                                                                                | -40 ~ 85 °C (注 2)       | -40 ~ 85 °C                  |
| パッケージ<br>(ボディサイズ)              | LQFP64(10x10mm)                                                                | QFP64(14x14mm)<br>LQFP64(10x10mm)                                                              |                         |                              |
| パッケージ<br>(P-QFP64-1414-0.80C)  | -                                                                              | TMP86C829BFG<br>TMP86CH29BFG<br>TMP86CM29BFG                                                   | TMP86CH21FG             | TMP86C420FG<br>TMP86C820FG   |
| パッケージ<br>(P-LQFP64-1010-0.50E) | -                                                                              | TMP86C829BUG<br>TMP86CH29BUG<br>TMP86CM29BUG                                                   | TMP86CH21UG             | TMP86C420UG<br>TMP86C820UG   |
| パッケージ<br>(P-LQFP64-1010-0.50D) | TMP86CM29LUG                                                                   | -                                                                                              | TMP86CH21AUG            | -                            |

注 1) UART と SIO は、機能入出力が同一端子のため同時に使用できません。

注 2) TMP86CH21A の場合、電源電圧 VDD が 2.0V 未満のときの動作温度 (Topr) は -20 ~ 85 °C となります。さらに AD を使用する場合には温度保証範囲が -10 ~ 85 °C となります。

注 3) TMP86C820/840 は、タイマカウンタ 6 入出力および UART 入出力を内蔵していません。

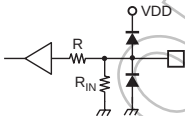
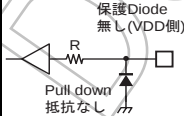
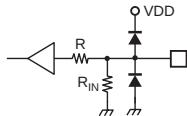
注 4) TMP86CM29L の電氣的特性については、TMP86C829B/H29B/M29B、TMP86CH21/CH21A および TMP86C820/420 とは異なります。詳細についてはデータシートの「電氣的特性」を参照してください。

注 5) 電源電圧 VDD が 2.0V 未満のときに AD を使用する場合には温度保証範囲が -10 ~ 85 °C となります。詳細についてはデータシートの「AD 変換特性」を参照してください。

注 6) 動作電流は製品によって異なります。詳しくは各製品のデータシートの「電氣的特性」を参照してください。

## シリーズ製品の相違点

## 機能の相違点 (TMP86xx29 シリーズ)

| 対象製品                    | TMP86C829B                                                                                     | TMP86CH29B        | TMP86CM29B        | TMP86PM29A<br>TMP86PM29B                                                             | TMP86FM29                                                              | TMP86CM29L                                                                            |
|-------------------------|------------------------------------------------------------------------------------------------|-------------------|-------------------|--------------------------------------------------------------------------------------|------------------------------------------------------------------------|---------------------------------------------------------------------------------------|
| ROM                     | 8K バイト<br>(MASK)                                                                               | 16K バイト<br>(MASK) | 32K バイト<br>(MASK) | 32K バイト<br>(OTP)                                                                     | 32K バイト<br>(FLASH)                                                     | 32K バイト<br>(MASK)                                                                     |
| RAM                     | 512 バイト                                                                                        | 1.5K バイト          |                   |                                                                                      |                                                                        |                                                                                       |
| DBR                     | 128 バイト<br>(FLASH メモリ制御レジスタ無し)                                                                 |                   |                   |                                                                                      | 128 バイト<br>(FLASH メモリ制御レジスタ含む)                                         |                                                                                       |
| I/O ポート                 | 39 端子                                                                                          |                   |                   |                                                                                      |                                                                        |                                                                                       |
| 大電流ポート                  | 4 端子 (シンクオープンドレイン)<br>TYP.20mA                                                                 |                   |                   |                                                                                      | 4 端子 (シンクオープンドレイン)<br>TYP.6mA                                          |                                                                                       |
| 割り込み                    | 外部 : 5 内部 : 14                                                                                 |                   |                   |                                                                                      |                                                                        |                                                                                       |
| タイマカウンタ                 | 18 ビット : 1ch<br>8 ビット : 4ch                                                                    |                   |                   |                                                                                      |                                                                        |                                                                                       |
| UART/SIO                | 1ch (注 1)                                                                                      |                   |                   |                                                                                      |                                                                        |                                                                                       |
| キーオン<br>ウェイクアップ         | 4ch                                                                                            |                   |                   |                                                                                      |                                                                        |                                                                                       |
| AD コンバータ                | 10 ビット × 8ch (注 3)                                                                             |                   |                   |                                                                                      |                                                                        |                                                                                       |
| LCD ドライバ                | 32SEG × 4COM                                                                                   |                   |                   |                                                                                      |                                                                        |                                                                                       |
| TEST 端子の<br>構造          |             |                   |                   |  |                                                                        |  |
| 高周波発振回路の帰還<br>抵抗値 (注 4) | Rf=1.2MΩ (TYP.)                                                                                |                   |                   |                                                                                      | Rf=3MΩ (TYP.)                                                          |                                                                                       |
| 低周波発振回路の帰還<br>抵抗値 (注 4) | Rf=6MΩ (TYP.)                                                                                  |                   |                   |                                                                                      | Rf=20MΩ (TYP.)                                                         |                                                                                       |
| 対応エミュレーション<br>チップ (注 2) | TMP86C929AXB                                                                                   |                   |                   |                                                                                      |                                                                        |                                                                                       |
| パッケージ                   | P-QFP64-1414-0.80C<br>P-LQFP64-1010-0.50E                                                      |                   |                   |                                                                                      |                                                                        | P-LQFP64-1010-<br>0.50D                                                               |
| 電源電圧 (注 5)              | 1.8V ~ 5.5V @4.2MHz/32.768kHz<br>2.7V ~ 5.5V @8.0MHz/32.768kHz<br>4.5V ~ 5.5V @16MHz/32.768kHz |                   |                   |                                                                                      | 1.8V ~ 3.6V @8.0MHz/32.768kHz<br>2.7V ~ 3.6V @16MHz/32.768kHz<br>(注 6) |                                                                                       |

注 1) UART と SIO は、機能入出力が同一端子のため同時には使用できません。

注 2) TMP86C929AXB はフラッシュ機能、CPU ウェイト、およびシリアル PROM モードはエミュレートできません。従って、TMP86C929AXB でフラッシュ制御を含んだソフトウェアを実行すると TMP86FM29/CM29L とは異なった動作をします。

注 3) 電源電圧 VDD が 2.0V 未満のときに AD を使用する場合には温度保証範囲が -10 ~ 85 °C となります。また、TMP86FM29/CM29L は電源電圧の条件により変換時間が異なります。詳細についてはデータシートの "10 ビット AD コンバータ (ADC)" および "AD 変換特性" を参照してください。

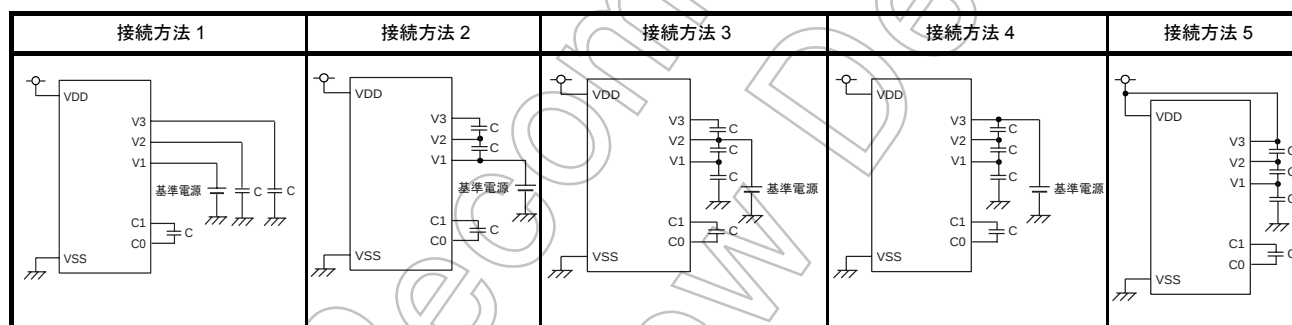
注 4) TMP86FM29/CM29L は発振回路の帰還抵抗値が異なります。詳細についてはデータシートの "端子の入出力回路" を参照してください。

注 5) 動作電流は製品によって異なります。詳しくは各製品のデータシートの "電気的特性" を参照してください。

注 6) TMP86FM29 のシリアル PROM モードの推奨動作条件は MCU モードとは異なります。詳細についてはデータシートの "電気的特性" を参照してください。

| 状態                                                        | ウェイト時間           | ウェイト時の動作 |      |
|-----------------------------------------------------------|------------------|----------|------|
|                                                           |                  | CPU      | 周辺機能 |
| リセット解除時                                                   | $2^{10}/f_c$ [s] | 停止       | 停止   |
| STOP モードから NORAML モードへ復帰時<br>(EEPCR<MNPWDW>="1" 設定時)      | $2^{10}/f_c$ [s] | 停止       | 動作   |
| STOP モードから SLOW モードへ復帰時<br>(EEPCR<MNPWDW>="1" 設定時)        | $2^3/f_c$ [s]    | 停止       | 動作   |
| IDLE0/1/2 モードから NORAML モードへ復帰時<br>(EEPCR<MNPWDW>="0" 設定時) | $2^{10}/f_c$ [s] | 停止       | 動作   |
| SLEEP0/1/2 モードから SLOW モードへ復帰時<br>(EEPCR<MNPWDW>="0" 設定時)  | $2^3/f_c$ [s]    | 停止       | 動作   |

注 1) TMP86FM29 は、フラッシュメモリの電源安定化のため、上記の時間 CPU ウェイトがかかります (CPU が停止します)。TMP86CM29L にはフラッシュメモリは内蔵されていませんが、フラッシュ品 (TMP86FM29) との互換性を保つため CPU ウェイト機能が動作します。なお、リセット解除時以外の CPU ウェイトの時は周辺機能は動作するので、ウェイト中に割り込みが発生すると割り込みラッチがセットされ、IMF="1" に設定されている場合はウェイト後に割り込処理を開始するおそれがありますので注意が必要です。詳細については TMP86FM29 の技術資料中の "フラッシュメモリ" を参照してください。以上のことから、TMP86FM29 と同一のソフトウェアを使用して同一の動作をするのは TMP86CM29L のみであり、TMP86C829B/H29B/M29B/PM29A/PM29B/C929AXB と同一の動作をしません。従って、TMP86C929B/H29B/M29B のソフトウェアの最終検証は必ず TMP86PM29A/PM29B (OTP 製品) を使用してください。同様に TMP86CM29L のソフトウェアの最終検証は必ず TMP86FM29 (FLASH 製品) を使用してください。



注 1) TMP86FM29/CM29L は、絶対最大定格の制限により、5V 系の LCD パネルを駆動することができません。3V 系 LCD パネルを使用してください。V3 端子の推奨動作電圧は 3.6V (最大) となります。

注 2) TMP86FM29/CM29L で LCD の昇圧回路を使用するとき、昇圧電源とコンデンサの接続は、図に示す "接続方法 3 または接続方法 4 もしくは接続方法 5" を使用することを推奨します。"接続方法 1 および接続方法 2" は温度保証範囲が -10 ~ 85 °C となります。詳細につきましては "電気的特性" および "LCD ドライバ" を参照してください。

注 3) TMP86C829B/H29B/M29B/PM29A/PM29B では LCD の昇圧回路を使用するとき、図に示すどの接続方式でも温度保証範囲は変わりませんが、電圧条件に注意してください。詳細については "電気的特性" および "LCD ドライバ" を参照してください。

Not Recommended  
for New Design

### 改訂履歴

| 日付         | 版 | 改訂理由          |
|------------|---|---------------|
| 2006/12/21 | 1 | First Release |
| 2007/1/15  | 2 | 内容改訂          |
| 2008/8/29  | 3 | 内容改訂          |

Not Recommended  
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○" の箇所にて使用し、"ー" の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

| BRG 設定                                       | 転送クロック [Hz] | RXDNC 設定        |                               |                               |                                |
|----------------------------------------------|-------------|-----------------|-------------------------------|-------------------------------|--------------------------------|
|                                              |             | 00<br>(ノイズ除去なし) | 01<br>(31/fc[s] 未満の<br>パルス除去) | 10<br>(63/fc[s] 未満の<br>パルス除去) | 11<br>(127/fc[s] 未満の<br>パルス除去) |
| 000                                          | fc/13       | ○               | ○                             | ○                             | ー                              |
| 110<br>(タイマカウンタ割り込<br>みでの転送クロックが右<br>記となる場合) | fc/8        | ○               | ー                             | ー                             | ー                              |
|                                              | fc/16       | ○               | ○                             | ー                             | ー                              |
|                                              | fc/32       | ○               | ○                             | ○                             | ー                              |
| 上記以外                                         |             | ○               | ○                             | ○                             | ○                              |



# 目 次

## 類似製品の相違点 (MASK 製品)

## TMP86P820UG

|     |             |   |
|-----|-------------|---|
| 1.1 | 特 長 .....   | 1 |
| 1.2 | ピン配置図 ..... | 3 |
| 1.3 | ブロック図 ..... | 4 |
| 1.4 | 端子機能 .....  | 5 |

## 第 2 章 動作説明

|         |                                 |    |
|---------|---------------------------------|----|
| 2.1     | CPU コア機能 .....                  | 9  |
| 2.1.1   | メモリアドレスマップ .....                | 9  |
| 2.1.2   | プログラムメモリ (OTP) .....            | 9  |
| 2.1.3   | データメモリ (RAM) .....              | 10 |
| 2.2     | システムクロック制御回路 .....              | 11 |
| 2.2.1   | クロックジェネレータ .....                | 11 |
| 2.2.2   | タイミングジェネレータ .....               | 12 |
| 2.2.2.1 | タイミングジェネレータの構成 .....            |    |
| 2.2.2.2 | マシンサイクル .....                   |    |
| 2.2.3   | 動作モードの種類 .....                  | 13 |
| 2.2.3.1 | シングルクロックモード .....               |    |
| 2.2.3.2 | デュアルクロックモード .....               |    |
| 2.2.3.3 | STOP モード .....                  |    |
| 2.2.3.4 | 各動作モードの遷移 .....                 |    |
| 2.2.4   | 動作モードの制御 .....                  | 18 |
| 2.2.4.1 | STOP モード .....                  |    |
| 2.2.4.2 | IDLE1/2 モード, SLEEP1/2 モード ..... |    |
| 2.2.4.3 | IDLE0, SLEEP0 モード .....         |    |
| 2.2.4.4 | SLOW モード .....                  |    |
| 2.3     | リセット回路 .....                    | 33 |
| 2.3.1   | 外部リセット入力 .....                  | 33 |
| 2.3.2   | アドレストラップリセット .....              | 34 |
| 2.3.3   | ウォッチドッグタイマリセット .....            | 34 |
| 2.3.4   | システムクロックリセット .....              | 34 |

## 第 3 章 割り込み制御回路

|       |                                |    |
|-------|--------------------------------|----|
| 3.1   | 割り込みラッチ (IL15 ~ IL2) .....     | 35 |
| 3.2   | 割り込み許可レジスタ (EIR) .....         | 37 |
| 3.2.1 | 割り込みマスタ許可フラグ (IMF) .....       | 37 |
| 3.2.2 | 割り込み個別許可フラグ (EF15 ~ EF4) ..... | 37 |
| 3.3   | 割り込み要因の選択 (INTSEL) .....       | 40 |
| 3.4   | 割り込み処理 .....                   | 41 |
| 3.4.1 | 割り込み受け付け処理 .....               | 41 |
| 3.4.2 | 汎用レジスタ退避 / 復帰処理 .....          | 42 |

|         |                           |    |
|---------|---------------------------|----|
| 3.4.2.1 | プッシュ/ポップ命令による汎用レジスタの退避/復帰 |    |
| 3.4.2.2 | 転送命令による汎用レジスタの退避/復帰       |    |
| 3.4.3   | 割り込みリターン                  | 43 |
| 3.5     | ソフトウェア割り込み (INTSW)        | 45 |
| 3.5.1   | アドレスエラー検出                 | 45 |
| 3.5.2   | デバッグ                      | 45 |
| 3.6     | 未定義命令割り込み (INTUNDEF)      | 45 |
| 3.7     | アドレストラップ割り込み (INTATRAP)   | 45 |
| 3.8     | 外部割り込み                    | 46 |

## 第4章 スペシャルファンクションレジスタ

|     |     |    |
|-----|-----|----|
| 4.1 | SFR | 49 |
| 4.2 | DBR | 51 |

## 第5章 入出力ポート

|     |                  |    |
|-----|------------------|----|
| 5.1 | P1 (P17~P10) ポート | 54 |
| 5.2 | P2 (P22~P20) ポート | 55 |
| 5.3 | P3 (P36~P30) ポート | 56 |
| 5.4 | P5 (P57~P50) ポート | 57 |
| 5.5 | P6 (P67~P60) ポート | 58 |
| 5.6 | P7 (P77~P70) ポート | 60 |

## 第6章 タイムベースタイマ (TBT)

|       |              |    |
|-------|--------------|----|
| 6.1   | タイムベースタイマ    | 61 |
| 6.1.1 | 構成           | 61 |
| 6.1.2 | 制御           | 61 |
| 6.1.3 | 機能           | 62 |
| 6.2   | デバイダ出力 (DVO) | 63 |
| 6.2.1 | 構成           | 63 |
| 6.2.2 | 制御           | 63 |

## 第7章 ウォッチドッグタイマ (WDT)

|       |                             |    |
|-------|-----------------------------|----|
| 7.1   | ウォッチドッグタイマの構成               | 65 |
| 7.2   | ウォッチドッグタイマの制御               | 65 |
| 7.2.1 | ウォッチドッグタイマによる暴走検出の方法        | 65 |
| 7.2.2 | ウォッチドッグタイマのイネーブル            | 67 |
| 7.2.3 | ウォッチドッグタイマのディセーブル           | 67 |
| 7.2.4 | ウォッチドッグタイマ割り込み (INTWDT)     | 68 |
| 7.2.5 | ウォッチドッグタイマリセット              | 68 |
| 7.3   | アドレストラップ                    | 69 |
| 7.3.1 | 内蔵 RAM 領域のアドレストラップ選択 (ATAS) | 69 |
| 7.3.2 | アドレストラップ発生時の動作選択 (ATOUT)    | 69 |
| 7.3.3 | アドレストラップ割り込み (INTATRAP)     | 69 |
| 7.3.4 | アドレストラップリセット                | 70 |

---

---

## 第8章 18ビットタイマカウンタ 1 (TC1)

---

|       |                   |    |
|-------|-------------------|----|
| 8.1   | 構成 .....          | 71 |
| 8.2   | 制御 .....          | 72 |
| 8.3   | 機能 .....          | 75 |
| 8.3.1 | タイマモード .....      | 75 |
| 8.3.2 | イベントカウンタモード ..... | 75 |
| 8.3.3 | パルス幅測定モード .....   | 76 |
| 8.3.4 | 周波数測定モード .....    | 77 |

---

---

## 第9章 8ビットタイマカウンタ (TC3, TC4)

---

|         |                                                            |    |
|---------|------------------------------------------------------------|----|
| 9.1     | 構成 .....                                                   | 79 |
| 9.2     | 制御 .....                                                   | 80 |
| 9.3     | 機能 .....                                                   | 86 |
| 9.3.1   | 8ビットタイマモード (TC3, 4) .....                                  | 86 |
| 9.3.2   | 8ビットイベントカウンタモード (TC3, 4) .....                             | 87 |
| 9.3.3   | 8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, 4) .....                 | 87 |
| 9.3.4   | 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4) .....                      | 90 |
| 9.3.5   | 16ビットタイマモード (TC3 + 4) .....                                | 92 |
| 9.3.6   | 16ビットイベントカウンタモード (TC3 + 4) .....                           | 93 |
| 9.3.7   | 16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4) .....                    | 93 |
| 9.3.8   | 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4) .....          | 96 |
| 9.3.9   | ウォーミングアップカウンタモード .....                                     | 98 |
| 9.3.9.1 | 低周波ウォーミングアップカウンタモード<br>(NORMAL1 → NORMAL2 → SLOW2 → SLOW1) |    |
| 9.3.9.2 | 高周波ウォーミングアップカウンタモード<br>(SLOW1 → SLOW2 → NORMAL2 → NORMAL1) |    |

---

---

## 第10章 同期型シリアルインタフェース (SIO)

---

|          |                            |     |
|----------|----------------------------|-----|
| 10.1     | 構成 .....                   | 101 |
| 10.2     | 制御 .....                   | 102 |
| 10.3     | シリアルタロック .....             | 103 |
| 10.3.1   | クロックソース .....              | 103 |
| 10.3.1.1 | 内部クロック                     |     |
| 10.3.1.2 | 外部クロック                     |     |
| 10.3.2   | シフトエッジ .....               | 105 |
| 10.3.2.1 | 前縁シフト                      |     |
| 10.3.2.2 | 後縁シフト                      |     |
| 10.4     | 転送ビット数 .....               | 105 |
| 10.5     | 転送ワード数 .....               | 105 |
| 10.6     | 転送モード .....                | 106 |
| 10.6.1   | 4ビット送信モード, 8ビット送信モード ..... | 106 |
| 10.6.2   | 4ビット受信モード, 8ビット受信モード ..... | 108 |
| 10.6.3   | 8ビット送受信モード .....           | 109 |

---

---

## 第11章 8ビットADコンバータ

---

|        |                          |     |
|--------|--------------------------|-----|
| 11.1   | 構成 .....                 | 111 |
| 11.2   | 制御 .....                 | 112 |
| 11.3   | 機能 .....                 | 115 |
| 11.3.1 | ADコンバータの動作 .....         | 115 |
| 11.3.2 | レジスタの設定 .....            | 115 |
| 11.3.3 | AD変換時のSTOP/SLOWモード ..... | 116 |

|        |                     |     |
|--------|---------------------|-----|
| 11.3.4 | 入力電圧と変換結果 .....     | 117 |
| 11.4   | AD コンバータの注意事項 ..... | 118 |
| 11.4.1 | アナログ入力端子電圧範囲 .....  | 118 |
| 11.4.2 | アナログ入力兼用端子 .....    | 118 |
| 11.4.3 | ノイズ対策 .....         | 118 |

---

## 第 12 章 キーオンウェイクアップ (KWU)

---

|      |          |     |
|------|----------|-----|
| 12.1 | 構成 ..... | 119 |
| 12.2 | 制御 ..... | 119 |
| 12.3 | 機能 ..... | 119 |

---

## 第 13 章 LCD ドライバ

---

|          |                                      |     |
|----------|--------------------------------------|-----|
| 13.1     | LCD ドライバの構成 .....                    | 121 |
| 13.2     | LCD ドライバの制御 .....                    | 122 |
| 13.2.1   | LCD 駆動方式 .....                       | 123 |
| 13.2.2   | フレーム周波数 .....                        | 124 |
| 13.2.3   | LCD 駆動電圧 .....                       | 125 |
| 13.2.3.1 | 昇圧回路を使用する場合 (LCDCR<BRES>="1" のとき)    |     |
| 13.2.3.2 | 外付け分割抵抗を使用する場合 (LCDCR<BRES>="0" のとき) |     |
| 13.3     | LCD 表示動作 .....                       | 127 |
| 13.3.1   | 表示データの設定 .....                       | 127 |
| 13.3.2   | ブランキング .....                         | 128 |
| 13.4     | LCD ドライバの制御方法 .....                  | 129 |
| 13.4.1   | 初期設定 .....                           | 129 |
| 13.4.2   | 表示データの格納 .....                       | 129 |
| 13.4.3   | 駆動出力例 .....                          | 132 |

---

## 第 14 章 OTP 機能

---

|          |                                       |     |
|----------|---------------------------------------|-----|
| 14.1     | 動作モード .....                           | 137 |
| 14.1.1   | MCU モード .....                         | 137 |
| 14.1.1.1 | プログラムメモリ                              |     |
| 14.1.1.2 | データメモリ                                |     |
| 14.1.1.3 | 端子の入出力回路                              |     |
| 14.1.2   | PROM モード .....                        | 138 |
| 14.1.2.1 | 書き込みフローチャート (高速プログラム)                 |     |
| 14.1.2.2 | 汎用 PROM プログラムにて、弊社アダプタソケットを用いての書き込み方法 |     |

---

## 第 15 章 端子の入出力回路

---

|      |              |     |
|------|--------------|-----|
| 15.1 | 制御端子 .....   | 143 |
| 15.2 | 入出力ポート ..... | 144 |

---

## 第 16 章 電气的特性

---

|      |               |     |
|------|---------------|-----|
| 16.1 | 絶対最大定格 .....  | 145 |
| 16.2 | 推奨動作条件 .....  | 146 |
| 16.3 | DC 特性 .....   | 147 |
| 16.4 | AD 変換特性 ..... | 148 |
| 16.5 | AC 特性 .....   | 150 |

|        |                               |     |
|--------|-------------------------------|-----|
| 16.6   | タイマカウンタ 1 入力 (ECIN) 特性 .....  | 150 |
| 16.7   | DC 特性, AC 特性 (PROM モード) ..... | 151 |
| 16.7.1 | リードオペレーション時 .....             | 151 |
| 16.7.2 | プログラムオペレーション (高速プログラム) .....  | 152 |
| 16.8   | 推奨発振条件 .....                  | 153 |
| 16.9   | 取り扱い上のご注意 .....               | 153 |

---

---

## 第 17 章 外形寸法

---

---

---

Not Recommended  
for New Design



Not Recommended  
for New Design

CMOS 8 ビット マイクロコントローラ

# TMP86P820UG

TMP86P820UG は、8192 バイトのワンタイム PROM を内蔵した高速、高機能 8 ビットシングルチップマイクロコンピュータで、マスク ROM 品の TMP86C820UG/TMP86C420UG とピンコンパチブルです。内蔵の PROM にプログラムを書き込むことにより TMP86C820UG/TMP86C420UG と同等の動作を行うことができます。

| 製品形名        | ROM<br>(EPROM) | RAM     | パッケージ               | マスク ROM 内蔵品                 | エミュレーション<br>チップ |
|-------------|----------------|---------|---------------------|-----------------------------|-----------------|
| TMP86P820UG | 8192 バイト       | 256 バイト | P-LQFP64-1010-0.50E | TMP86C820UG/<br>TMP86C420UG | TMP86C929AXB    |

## 1.1 特 長

- 8 ビットシングルチップマイクロコントローラ : TLCS-870/C シリーズ
  - 最小実行時間 :
    - 0.25  $\mu$ s (16 MHz 動作時)
    - 122  $\mu$ s (32.768 kHz 動作時)
  - 基本機械命令 : 132 種類 731 命令
- 割り込み要因 15 要因 ( 外部 : 5, 内部 : 10 )
- 入出力ポート (39 端子)
  - 大電流出力 4 端子 (Typ. 20mA)
- プリスケアラ
  - タイムベースタイマ機能
  - デバイダ出力機能
- ウォッチドッグタイマ
  - 割り込み / リセット出力の選択 (プログラマブル)
- 18 ビットタイマカウンタ : 1 チャンネル
  - 周波数測定
  - パルス幅測定
  - イベントカウンタ
  - タイマモード

060629TBP

・当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023 \_ A

・本資料に掲載されている製品は、一般的電子機器 ( コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器 など ) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 ( 原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など ) にこれらの製品を使用すること ( 以下 “ 特定用途 ” という ) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023 \_ B

・本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106 \_ Q

・本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023 \_ C

・本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023 \_ E

・本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023 \_ D

・マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519 \_ S

- 8ビットタイマカウンタ:2チャンネル
  - タイマ, イベントカウンタ
  - PDO (Programmable Divider Output) モード
  - PWM (パルス幅変調出力)
  - PPG モード
  - 16ビットモード (タイマ2チャンネルを組み合わせて使用)
- 8ビットSIO: 1チャンネル
- 8ビット逐次比較方式ADコンバータ
  - アナログ入力: 8チャンネル
- キーオンウェイクアップ: 4チャンネル
- LCDドライバ/コントローラ
  - LCD直接駆動可能 (32セグメント×4コモン)
  - 1/4, 1/3, 1/2 デューティ、スタティック駆動の選択
  - LCD電源電圧用昇圧回路内蔵
- クロック発振回路: 2回路
  - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9モード)
  - STOPモード: 発振停止 (バッテリー/コンデンサバックアップ)
  - SLOW1モード: 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2モード: 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0モード: CPU停止。  
周辺ハードウェアのうち、TBTのみ動作 (高周波クロック) 継続し、TBT設定の基準時間経過により解除。
  - IDLE1モード: CPU停止。  
周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)
  - IDLE2モード: CPU停止。  
周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
  - SLEEP0モード: CPU停止。  
周辺ハードウェアのうち、TBTのみ動作 (低周波クロック) 継続し、TBT設定の基準時間経過により解除。
  - SLEEP1モード: CPU停止。  
周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
  - SLEEP2モード: CPU停止。  
周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧:
  - 4.5V~5.5V @ 16MHz / 32.768kHz
  - 2.7V~5.5V @ 8MHz / 32.768kHz
  - 1.8V~5.5V @ 4.2MHz / 32.768kHz

## 1.2 ピン配置図

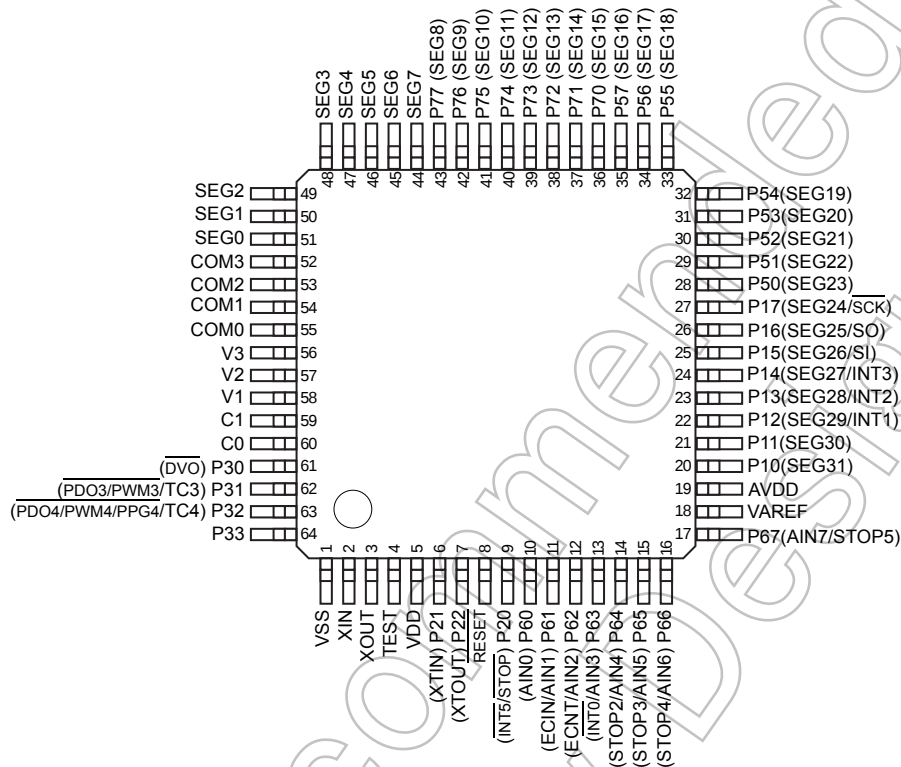


図 1-1 ピン配置図

1.3 ブロック図

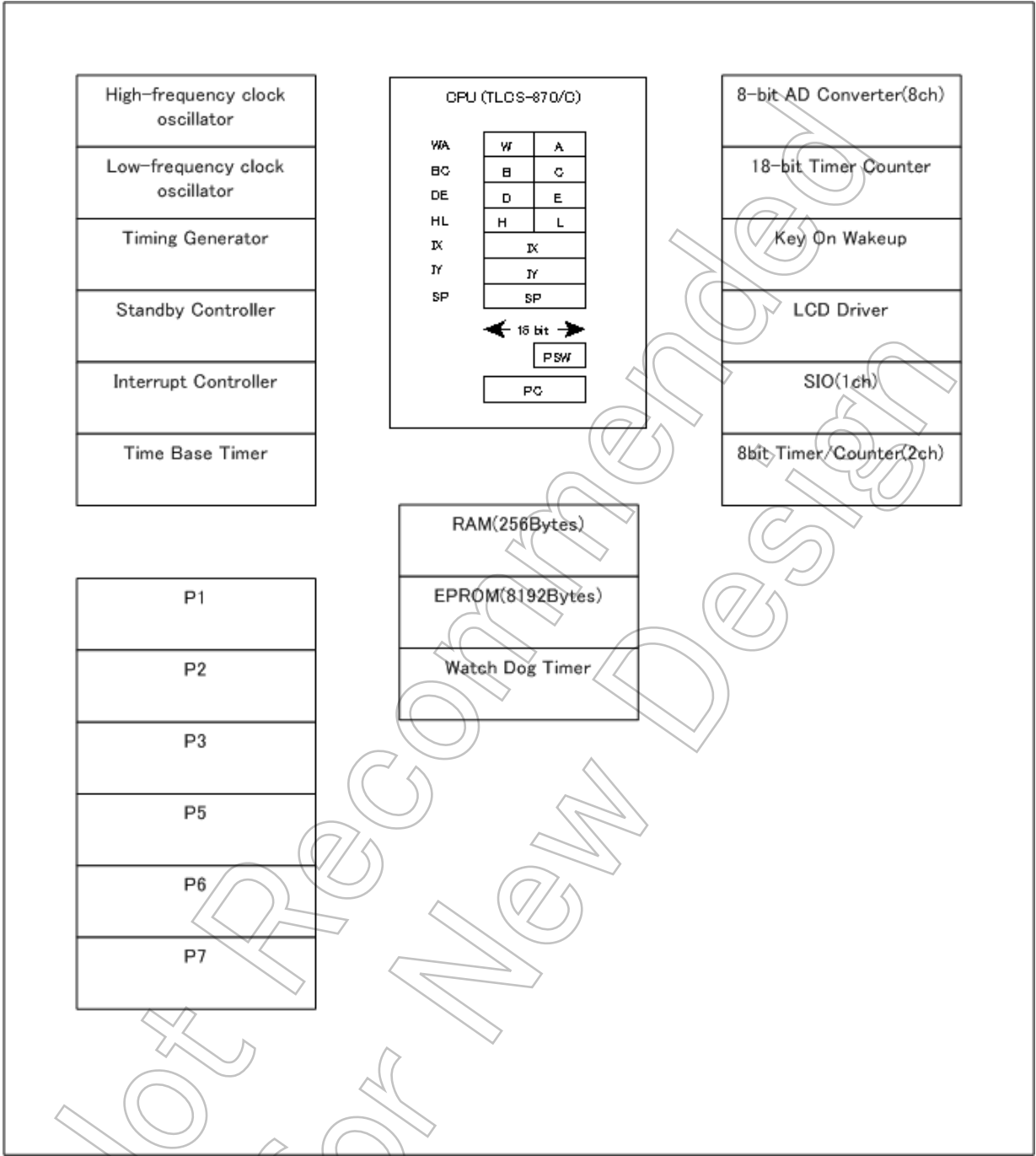


図 1-2 ブロック図

## 1.4 端子機能

TMP86P820UG は、MCU モードと PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。PROM モードについては、後続の「PROM モード」の章を参照してください。

表 1-1 端子機能表（1 / 3）

| 端子名                          | ピン番号 | 入出力           | 機能                                      |
|------------------------------|------|---------------|-----------------------------------------|
| P17<br>SEG24<br>SCK          | 27   | IO<br>O<br>IO | ポート 17<br>LCD セグメント出力 24<br>シリアルクロック入出力 |
| P16<br>SEG25<br>SO           | 26   | IO<br>O<br>O  | ポート 16<br>LCD セグメント出力 25<br>シリアルデータ出力   |
| P15<br>SEG26<br>SI           | 25   | IO<br>O<br>I  | ポート 15<br>LCD セグメント出力 26<br>シリアルデータ入力   |
| P14<br>SEG27<br>INT3         | 24   | IO<br>O<br>I  | ポート 14<br>LCD セグメント出力 27<br>外部割り込み 3 入力 |
| P13<br>SEG28<br>INT2         | 23   | IO<br>O<br>I  | ポート 13<br>LCD セグメント出力 28<br>外部割り込み 2 入力 |
| P12<br>SEG29<br>INT1         | 22   | IO<br>O<br>I  | ポート 12<br>LCD セグメント出力 29<br>外部割り込み 1 入力 |
| P11<br>SEG30                 | 21   | IO<br>O       | ポート 11<br>LCD セグメント出力 30                |
| P10<br>SEG31                 | 20   | IO<br>O       | ポート 10<br>LCD セグメント出力 31                |
| P22<br>XTOUT                 | 7    | IO<br>O       | ポート 22<br>低周波発振子接続端子                    |
| P21<br>XTIN                  | 6    | IO<br>I       | ポート 21<br>低周波発振子接続端子                    |
| P20<br>STOP<br>INT5          | 9    | IO<br>I<br>I  | ポート 20<br>STOP モード解除入力<br>外部割り込み 5 入力   |
| P33                          | 64   | IO            | ポート 33                                  |
| P32<br>TC4<br>PDO4/PWM4/PPG4 | 63   | IO<br>I<br>O  | ポート 32<br>TC4 端子入力<br>PDO4/PWM4/PPG4 出力 |
| P31<br>TC3<br>PDO3/PWM3      | 62   | IO<br>I<br>O  | ポート 31<br>TC3 端子入力<br>PDO3/PWM3 出力      |
| P30<br>DVO                   | 61   | IO<br>O       | ポート 30<br>デバイダ出力                        |
| P57<br>SEG16                 | 35   | IO<br>O       | ポート 57<br>LCD セグメント出力 16                |
| P56<br>SEG17                 | 34   | IO<br>O       | ポート 56<br>LCD セグメント出力 17                |

表 1-1 端子機能表 ( 2 / 3 )

| 端子名                  | ピン番号 | 入出力          | 機能                                |
|----------------------|------|--------------|-----------------------------------|
| P55<br>SEG18         | 33   | IO<br>O      | ポート 55<br>LCD セグメント出力 18          |
| P54<br>SEG19         | 32   | IO<br>O      | ポート 54<br>LCD セグメント出力 19          |
| P53<br>SEG20         | 31   | IO<br>O      | ポート 53<br>LCD セグメント出力 20          |
| P52<br>SEG21         | 30   | IO<br>O      | ポート 52<br>LCD セグメント出力 21          |
| P51<br>SEG22         | 29   | IO<br>O      | ポート 51<br>LCD セグメント出力 22          |
| P50<br>SEG23         | 28   | IO<br>O      | ポート 50<br>LCD セグメント出力 23          |
| P67<br>AIN7<br>STOP5 | 17   | IO<br>I<br>I | ポート 67<br>アナログ入力 7<br>STOP5 入力    |
| P66<br>AIN6<br>STOP4 | 16   | IO<br>I<br>I | ポート 66<br>アナログ入力 6<br>STOP4 入力    |
| P65<br>AIN5<br>STOP3 | 15   | IO<br>I<br>I | ポート 65<br>アナログ入力 5<br>STOP3 入力    |
| P64<br>AIN4<br>STOP2 | 14   | IO<br>I<br>I | ポート 64<br>アナログ入力 4<br>STOP2 入力    |
| P63<br>AIN3<br>INT0  | 13   | IO<br>I<br>I | ポート 63<br>アナログ入力 3<br>外部割り込み 0 入力 |
| P62<br>AIN2<br>ECNT  | 12   | IO<br>I<br>I | ポート 62<br>アナログ入力 2<br>ECNT 入力     |
| P61<br>AIN1<br>ECIN  | 11   | IO<br>I<br>I | ポート 61<br>アナログ入力 1<br>ECIN 入力     |
| P60<br>AIN0          | 10   | IO<br>I      | ポート 60<br>アナログ入力 0                |
| P77<br>SEG8          | 43   | IO<br>O      | ポート 77<br>LCD セグメント出力 8           |
| P76<br>SEG9          | 42   | IO<br>O      | ポート 76<br>LCD セグメント出力 9           |
| P75<br>SEG10         | 41   | IO<br>O      | ポート 75<br>LCD セグメント出力 10          |
| P74<br>SEG11         | 40   | IO<br>O      | ポート 74<br>LCD セグメント出力 11          |
| P73<br>SEG12         | 39   | IO<br>O      | ポート 73<br>LCD セグメント出力 12          |

表 1-1 端子機能表 ( 3 / 3 )

| 端子名          | ピン番号 | 入出力     | 機能                                         |
|--------------|------|---------|--------------------------------------------|
| P72<br>SEG13 | 38   | IO<br>O | ポート 72<br>LCD セグメント出力 13                   |
| P71<br>SEG14 | 37   | IO<br>O | ポート 71<br>LCD セグメント出力 14                   |
| P70<br>SEG15 | 36   | IO<br>O | ポート 70<br>LCD セグメント出力 15                   |
| SEG7         | 44   | O       | LCD セグメント出力 7                              |
| SEG6         | 45   | O       | LCD セグメント出力 6                              |
| SEG5         | 46   | O       | LCD セグメント出力 5                              |
| SEG4         | 47   | O       | LCD セグメント出力 4                              |
| SEG3         | 48   | O       | LCD セグメント出力 3                              |
| SEG2         | 49   | O       | LCD セグメント出力 2                              |
| SEG1         | 50   | O       | LCD セグメント出力 1                              |
| SEG0         | 51   | O       | LCD セグメント出力 0                              |
| COM3         | 52   | O       | LCD コモン出力 3                                |
| COM2         | 53   | O       | LCD コモン出力 2                                |
| COM1         | 54   | O       | LCD コモン出力 1                                |
| COM0         | 55   | O       | LCD コモン出力 0                                |
| V3           | 56   | I       | LCD ドライバ昇圧用コンデンサ接続端子 ( 昇圧回路不使用時は、分割抵抗を接続 ) |
| V2           | 57   | I       | LCD ドライバ昇圧用コンデンサ接続端子 ( 昇圧回路不使用時は、分割抵抗を接続 ) |
| V1           | 58   | I       | LCD ドライバ昇圧用コンデンサ接続端子 ( 昇圧回路不使用時は、分割抵抗を接続 ) |
| C1           | 59   | I       | LCD ドライバ昇圧用コンデンサ接続端子 ( 昇圧回路不使用時はオープン )     |
| C0           | 60   | I       | LCD ドライバ昇圧用コンデンサ接続端子 ( 昇圧回路不使用時はオープン )     |
| XIN          | 2    | I       | 発振子接続端子                                    |
| XOUT         | 3    | O       | 発振子接続端子                                    |
| TEST         | 4    | I       | 出荷試験用端子。“L” レベルに固定してください。                  |
| VAREF        | 18   | I       | AD 変換用アナログ基準電圧入力端子                         |
| AVDD         | 19   | I       | アナログ電源                                     |
| VDD          | 5    | I       | 電源端子                                       |
| VSS          | 1    | I       | GND 端子                                     |

Not Recommended  
for New Design

## 第 2 章 動作説明

### 2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

#### 2.1.1 メモリアドレスマップ

TMP86P820UG のメモリは、OTP、RAM、SFR ( スペシャルファンクションレジスタ ), DBR( データバッファレジスタ ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86P820UG のメモリアドレスマップを示します。

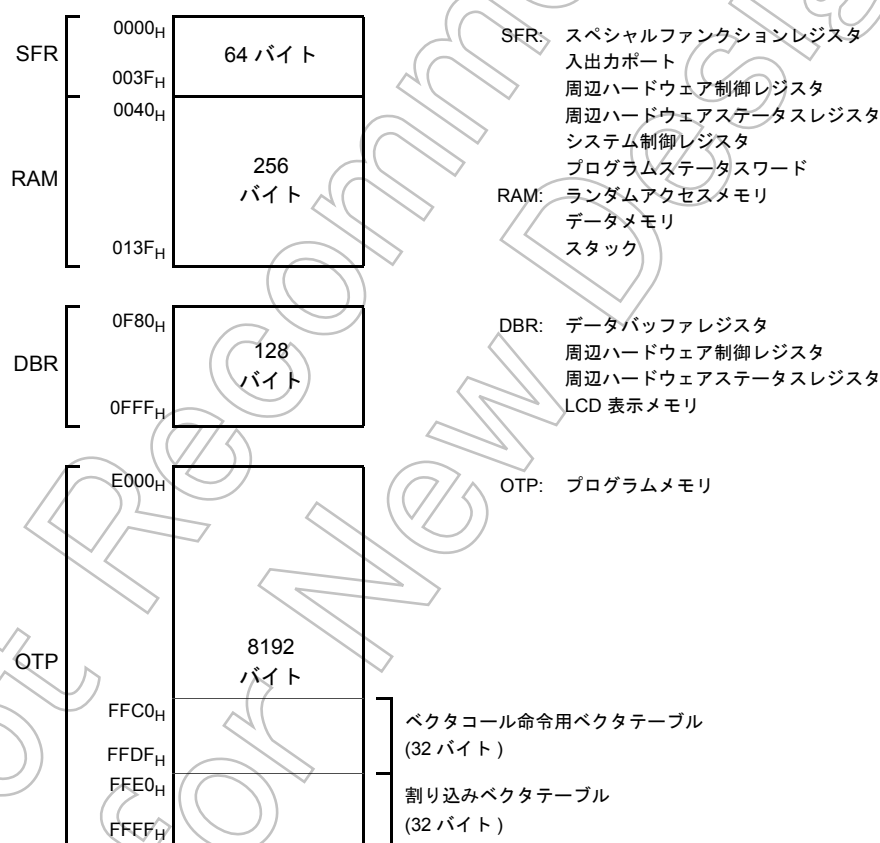


図 2-1 メモリアドレスマップ

#### 2.1.2 プログラムメモリ (OTP)

TMP86P820UG は 8192 バイト ( アドレス E000H~FFFFH ) のプログラムメモリ (OTP) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86P820UG は、256 バイト ( アドレス 0040H~013FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

( プログラム例 ) TMP86P820UG の RAM クリア

|          |     |            |                    |
|----------|-----|------------|--------------------|
|          | LD  | HL, 0040H  | ; スタートアドレスの設定      |
|          | LD  | A, H       | ; 初期化データ (00H) の設定 |
|          | LD  | BC, 00FFH  | ; バイト数 (-1) の設定    |
| SRAMCLR: | LD  | (HL), A    |                    |
|          | INC | HL         |                    |
|          | DEC | BC         |                    |
|          | JRS | F, SRAMCLR |                    |

## 2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

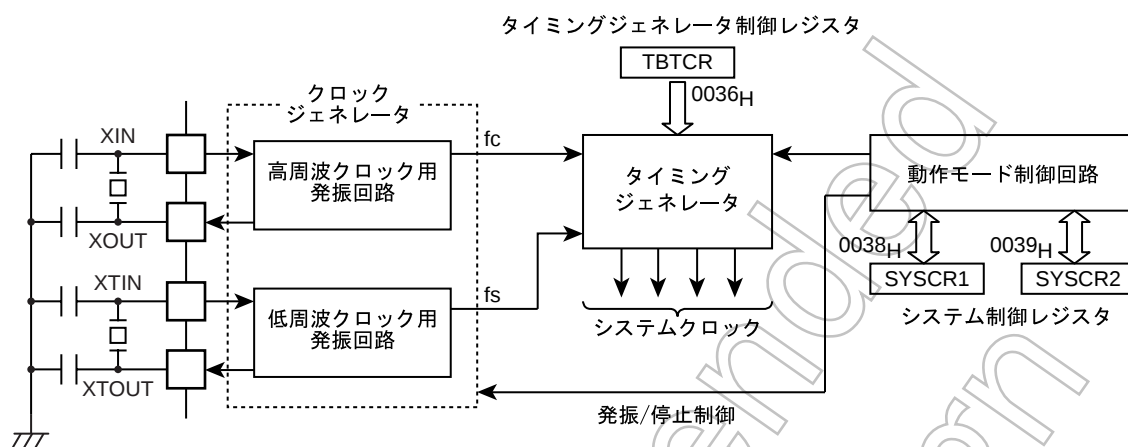


図 2-2 システムクロック制御回路

### 2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック（周波数  $f_c$ ）、低周波クロック（周波数  $f_s$ ）は、それぞれ XIN, XOUT 端子、XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

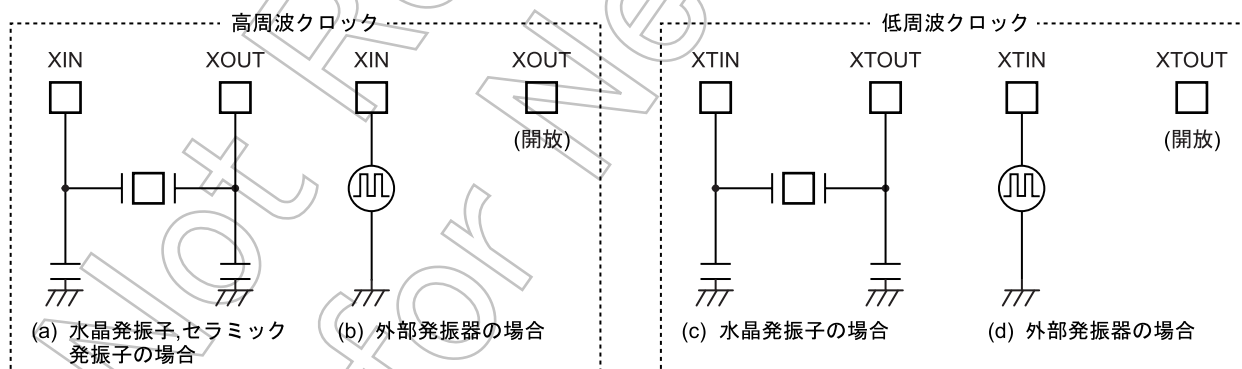


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス（例えばクロック出力）を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- 1. メインシステムクロック生成
- 2. デバイダ出力 ( $\overline{\text{DVO}}$ ) パルス生成
- 3. タイムベースタイマのソースクロック生成
- 4. ウォッチドッグタイマのソースクロック生成
- 5. タイマカウンタなどの内部ソースクロック生成
- 6. STOP モード解除時のウォーミングアップクロック生成
- 7. LCD ベース周波数生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは “0” にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

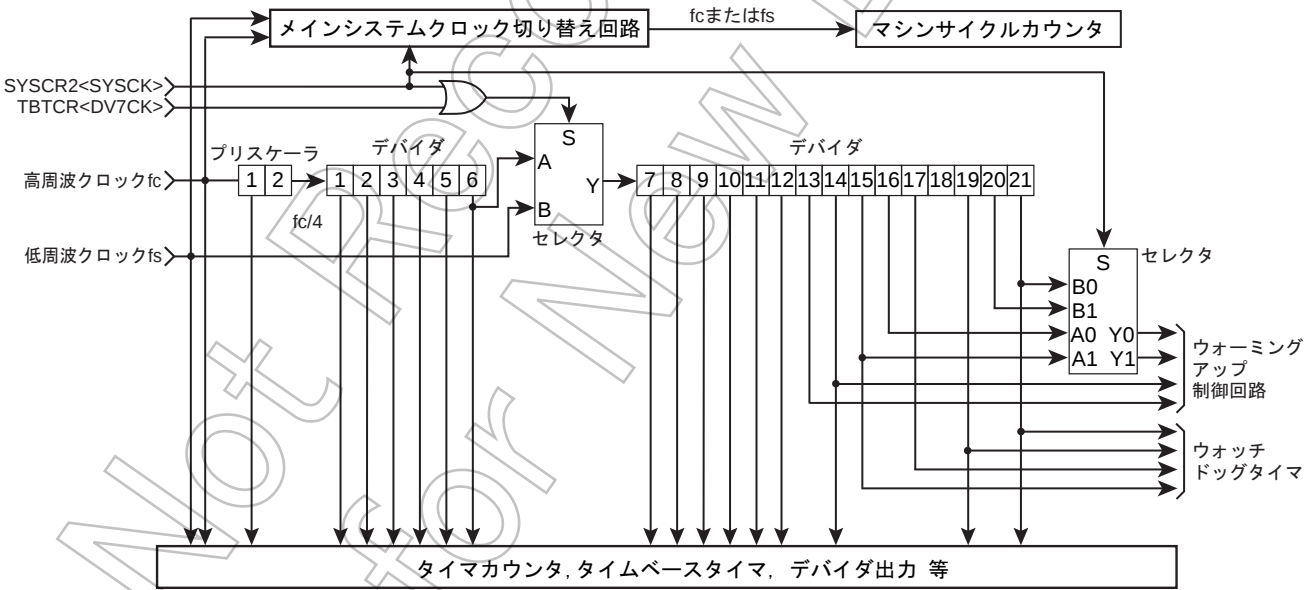


図 2-4 タイミングジェネレータの構成

## タイミングジェネレータ制御レジスタ

|                  |         |         |       |         |         |   |   |   |
|------------------|---------|---------|-------|---------|---------|---|---|---|
| TBTCR<br>(0036H) | 7       | 6       | 5     | 4       | 3       | 2 | 1 | 0 |
|                  | (DV0EN) | (DV0CK) | DV7CK | (TBTEN) | (TBTCK) |   |   |   |

(初期値: 0000 0000)

|       |                          |                           |     |
|-------|--------------------------|---------------------------|-----|
| DV7CK | デバイダ 7 段目への<br>入力クロックの選択 | 0: $fc/2^8$ [Hz]<br>1: fs | R/W |
|-------|--------------------------|---------------------------|-----|

- 注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。
- 注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care
- 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
- 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

## 2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

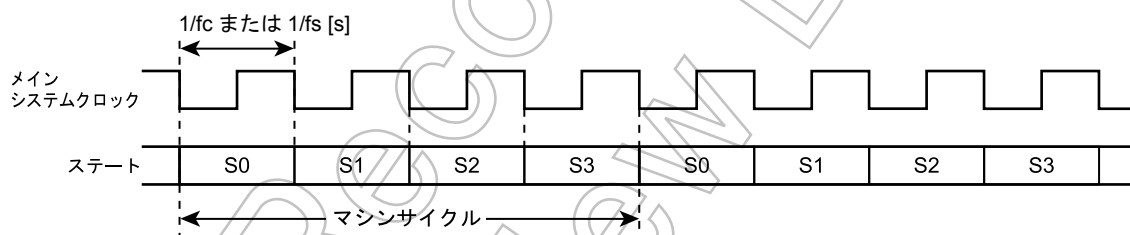


図 2-5 マシンサイクル

## 2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

## 2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは  $4/fc$  [s] となります。

### (1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

### (2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

### (3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

## 2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時  $4/f_c$  [s], SLOW, SLEEP モード時  $4/f_s$  [s] ( $122 \mu s @ f_s = 32.768 \text{ kHz}$ ) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

### (1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

## (2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

## (3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

## (4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

## (5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

## (6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

## (7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBICK>によって設定されたソースクロックの立ち上がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EF6 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

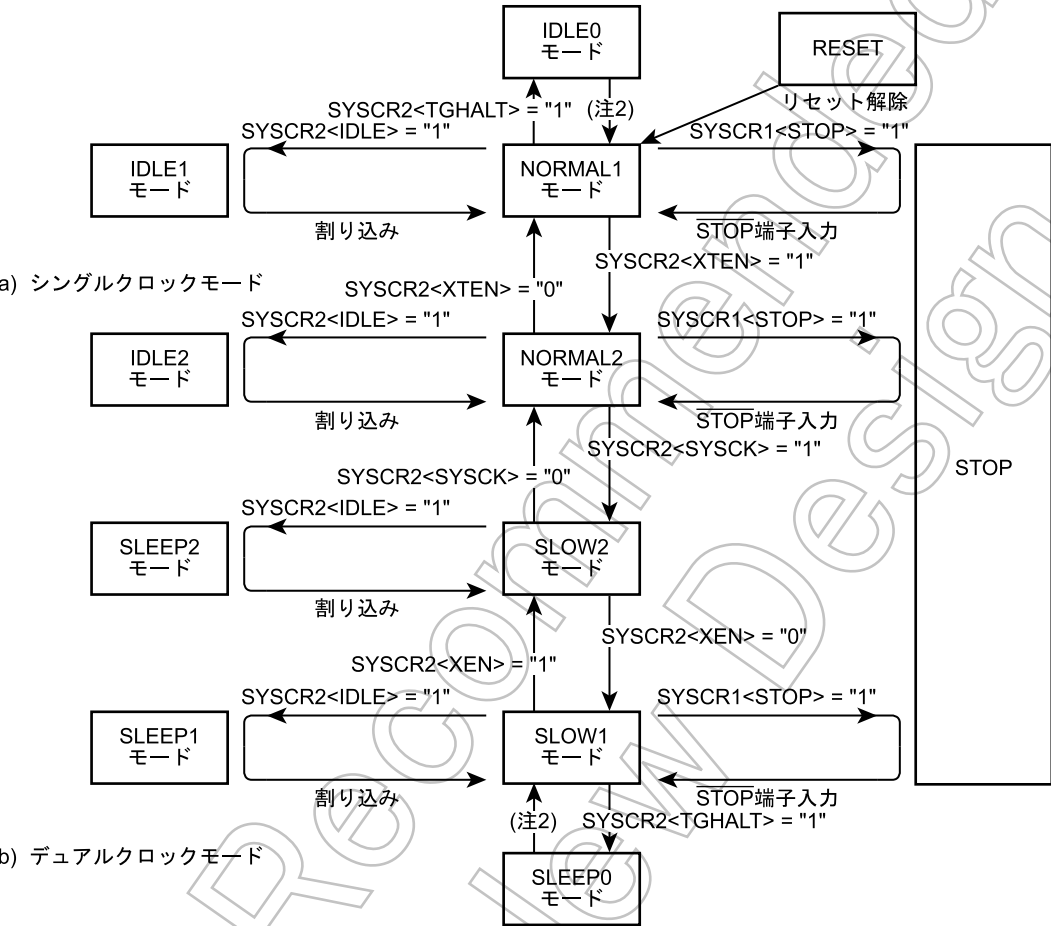
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

### 2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$  端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。  
注 2) TBTCR<TBTCk> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

| 動作モード        |         | 発振回路 |       | CPU コア | TBT      | その他<br>周辺回路 | マシンサイクルタイム |
|--------------|---------|------|-------|--------|----------|-------------|------------|
|              |         | 高周波  | 低周波   |        |          |             |            |
| シングル<br>クロック | RESET   | 発振   | 停止    | リセット   | リセット     | リセット        | 4/fc [s]   |
|              | NORMAL1 |      |       | 動作     | 動作       | 動作          |            |
|              | IDLE1   |      |       | 停止     |          | 停止          |            |
|              | IDLE0   |      |       |        |          |             |            |
|              | STOP    | 停止   | 停止    | —      |          |             |            |
| デュアル<br>クロック | NORMAL2 | 発振   | 発振    | 高周波動作  | 動作       | 動作          | 4/fc [s]   |
|              | IDLE2   |      |       | 停止     |          |             |            |
|              | SLOW2   |      |       | 低周波動作  |          |             |            |
|              | SLEEP2  |      |       | 停止     |          |             |            |
|              | SLOW1   | 停止   | 低周波動作 | 動作     | 4/fs [s] |             |            |
|              | SLEEP1  |      | 停止    |        |          |             |            |
|              | SLEEP0  |      |       |        |          |             |            |
|              | STOP    |      | 停止    | 停止     | 停止       | —           |            |

2.2.4 動作モードの制御

システム制御レジスタ 1

SYSCR1  
(0038H)

|      |      |      |       |     |   |   |                  |
|------|------|------|-------|-----|---|---|------------------|
| 7    | 6    | 5    | 4     | 3   | 2 | 1 | 0                |
| STOP | RELM | RETM | OUTEN | WUT |   |   | (初期値: 0000 00**) |

|       |                                        |                                                                            |                        |                       |     |
|-------|----------------------------------------|----------------------------------------------------------------------------|------------------------|-----------------------|-----|
| STOP  | STOP モードの起動                            | 0: CPU コア, 周辺ハードウェア動作<br>1: CPU コア, 周辺ハードウェア停止 (STOP モード起動)                |                        | R/W                   |     |
| RELM  | STOP モードの解除方法の<br>選択                   | 0: エッジ解除モード (STOP 端子入力の立ち上がりエッジで解除)<br>1: レベル解除モード (STOP 端子入力の "H" レベルで解除) |                        | R/W                   |     |
| RETM  | STOP モード解除後の動作<br>モードの選択               | 0: NORMAL1/2 モードへ戻る<br>1: SLOW1 モードへ戻る                                     |                        | R/W                   |     |
| OUTEN | STOP モード時のポート出力<br>状態の選択               | 0: ハイインピーダンス<br>1: 出力保持                                                    |                        | R/W                   |     |
| WUT   | STOP モード解除時の<br>ウォーミングアップ時間<br>単位: [s] |                                                                            | NORMAL1/2 モードへ<br>戻る場合 | SLOW1 モードへ<br>戻る場合    | R/W |
|       |                                        | 00                                                                         | $3 \times 2^{16}/f_c$  | $3 \times 2^{13}/f_s$ |     |
|       |                                        | 01                                                                         | $2^{16}/f_c$           | $2^{13}/f_s$          |     |
|       |                                        | 10                                                                         | $3 \times 2^{14}/f_c$  | $3 \times 2^6/f_s$    |     |
|       |                                        | 11                                                                         | $2^{14}/f_c$           | $2^6/f_s$             |     |

- 注 1) RETM は、NORMAL モードから STOP モードを起動する場合は必ず "0" にしてください。SLOW モードから STOP モードを起動する場合は必ず "1" にしてください。
- 注 2) STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3)  $f_c$ : 高周波クロック [Hz],  $f_s$ : 低周波クロック [Hz], \*: Don't care
- 注 4) SYSOCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) OUTEN = "0" の指定で STOP モードを起動すると、内部入力は "0" に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力を使用する場合は、RELM を "1" に設定してください。
- 注 7) P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

## システム制御レジスタ 2

|                   |     |      |       |      |   |        |   |   |                  |
|-------------------|-----|------|-------|------|---|--------|---|---|------------------|
|                   | 7   | 6    | 5     | 4    | 3 | 2      | 1 | 0 |                  |
| SYSCR2<br>(0039H) | XEN | XTEN | SYSCK | IDLE |   | TGHALT |   |   | (初期値: 1000 *0**) |

|        |                                        |                                                                                    |     |
|--------|----------------------------------------|------------------------------------------------------------------------------------|-----|
| XEN    | 高周波発振器の制御                              | 0: 発振停止<br>1: 発振継続または発振開始                                                          | R/W |
| XTEN   | 低周波発振器の制御                              | 0: 発振停止<br>1: 発振継続または発振開始                                                          |     |
| SYSCK  | システムクロックの<br>選択 (write)/ モニタ (read)    | 0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2)<br>1: 低周波クロック (SLOW/SLEEP)                |     |
| IDLE   | CPU, WDT 制御<br>(IDLE1/2, SLEEP1/2 モード) | 0: CPU, WDT 動作<br>1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)                         | R/W |
| TGHALT | TG 制御<br>(IDLE0, SLEEP0 モード)           | 0: TG から全周辺回路へのクロック供給動作<br>1: TG から TBT を除く周辺回路へのクロック供給停止<br>(IDLE0, SLEEP0 モード起動) | R/W |

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, \*; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/ SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と  $\overline{\text{STOP}}$  端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$  端子は、P20 ポートならびに INT5 (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

- 1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- 2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
- 3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
- 4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

- 注 1) なお、 $\overline{\text{STOP}}$  端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。
- 注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$  端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

STOP 端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態では STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$  端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

- 1. ポートの状態をテストする方法
- 2. INT5 割り込みによる方法 (INT5 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

|         |      |                     |                                                 |
|---------|------|---------------------|-------------------------------------------------|
|         | LD   | (SYSCR1), 01010000B | ; レベル解除モードにセットアップ                               |
| SSTOPH: | TEST | (P2PRD). 0          | ; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウェイト |
|         | JRS  | F, SSTOPH           |                                                 |
|         | DI   |                     | ; IMF←0                                         |
|         | SET  | (SYSCR1). 7         | ; STOP モードを起動                                   |

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:      TEST    (P2PRD) . 0          ; ノイズ 除去のため P20 ポート入力が
           JRS      F, SINT5             ; "H" レベルなら STOP モードを起動しない。
           LD       (SYSCR1), 01010000B   ; レベル解除モードにセットアップ
           DI                          ; IMF←0
           SET      (SYSCR1) . 7          ; STOP モードを起動
SINT5:      RETI
  
```

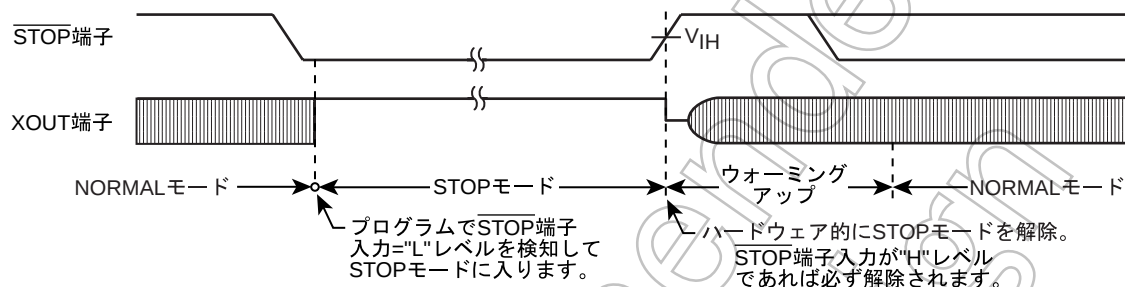


図 2-7 レベル解除モード

注 1) ウォーミングアップ開始後、再び  $\overline{\text{STOP}}$  端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$  端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

## (2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$  端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を  $\overline{\text{STOP}}$  端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$  端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI          ; IMF←0
LD          (SYSCR1), 10010000B   ; エッジ解除モードに設定して起動
  
```

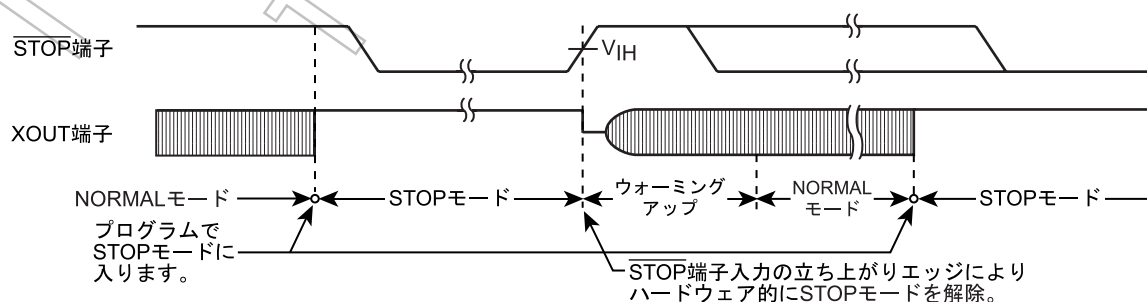


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

- 1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- 2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
- 3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

- 注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。
- 注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。
- 注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。  
STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 ( 例 : fc = 16.0 MHz, fs = 32.768 kHz 時 )

| WUT | ウォーミングアップ時間 [ms] |               |
|-----|------------------|---------------|
|     | NORMAL モードへ戻る場合  | SLOW モードに戻る場合 |
| 00  | 12.288           | 750           |
| 01  | 4.096            | 250           |
| 10  | 3.072            | 5.85          |
| 11  | 1.024            | 1.95          |

- 注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

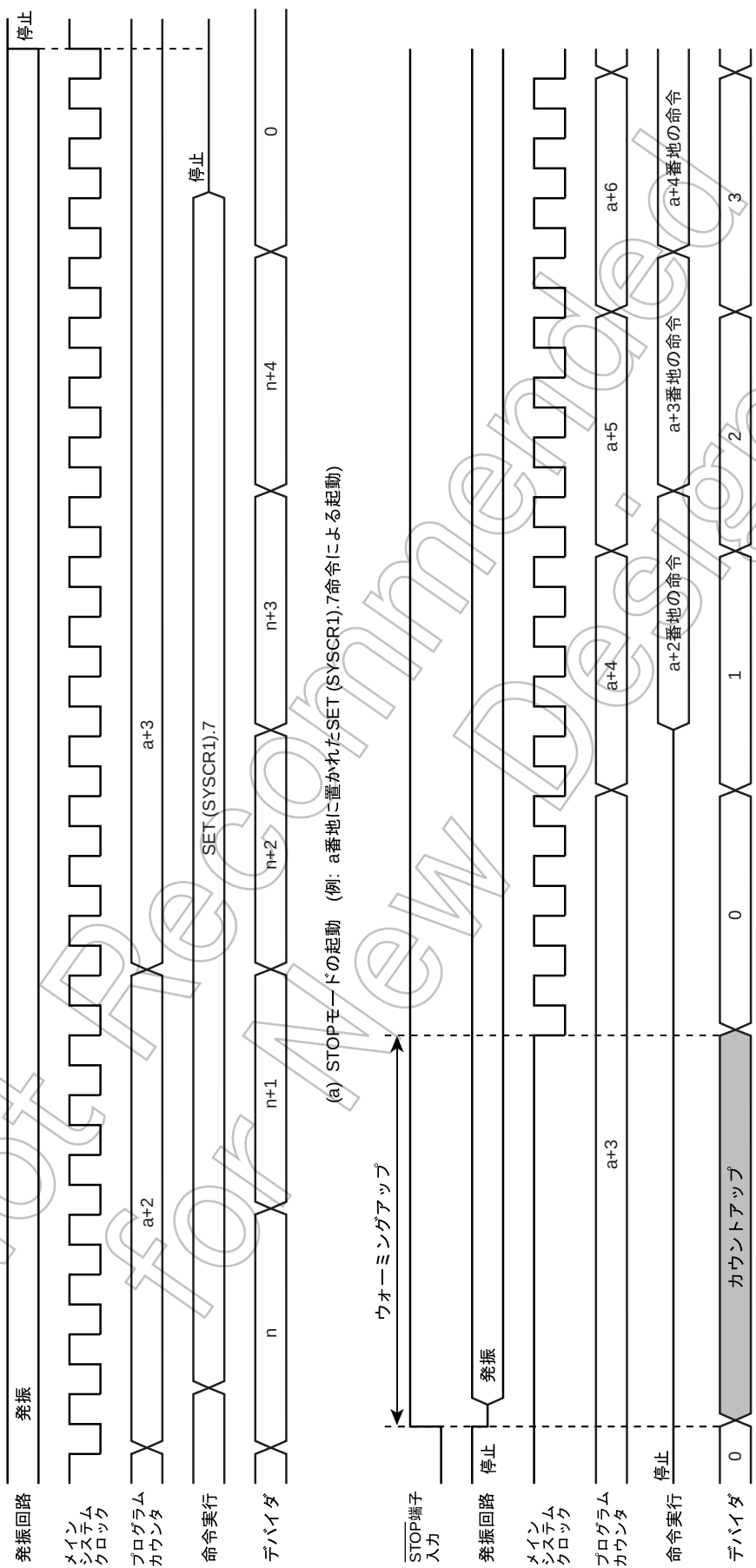


図 2-9 STOPモードの起動 / 解除

2.2.4.2 IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

- 1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
- 2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
- 3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

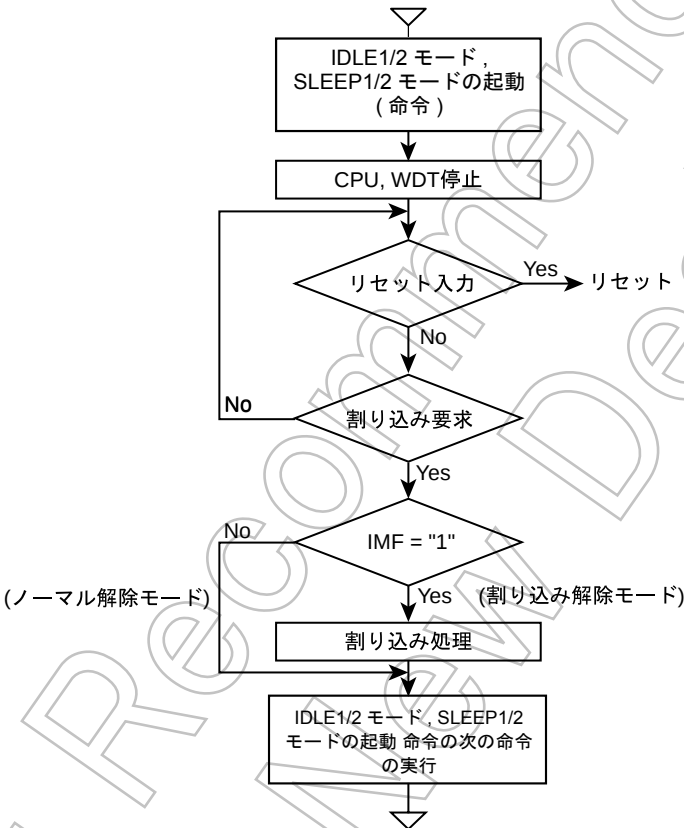


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

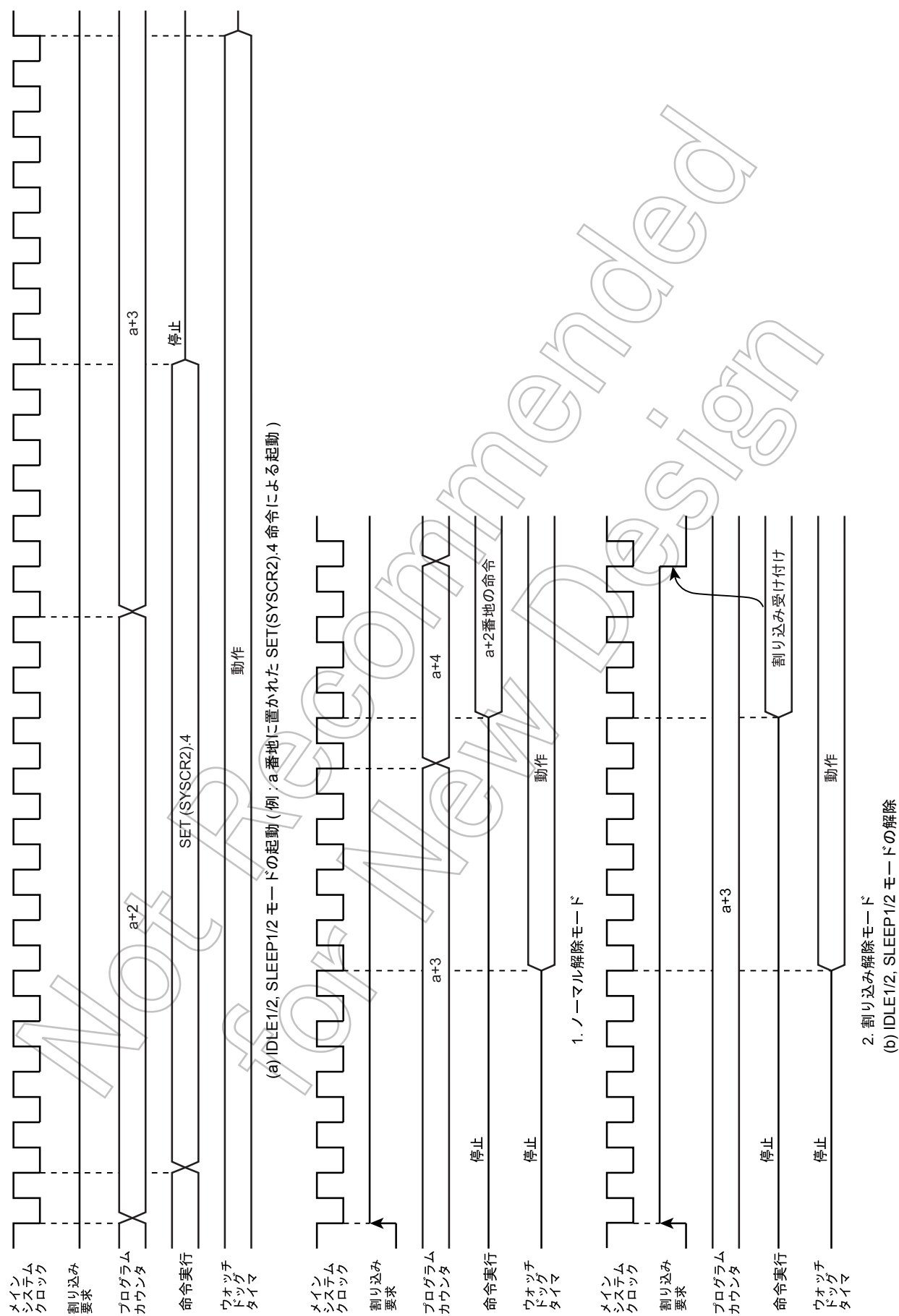


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

## 2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

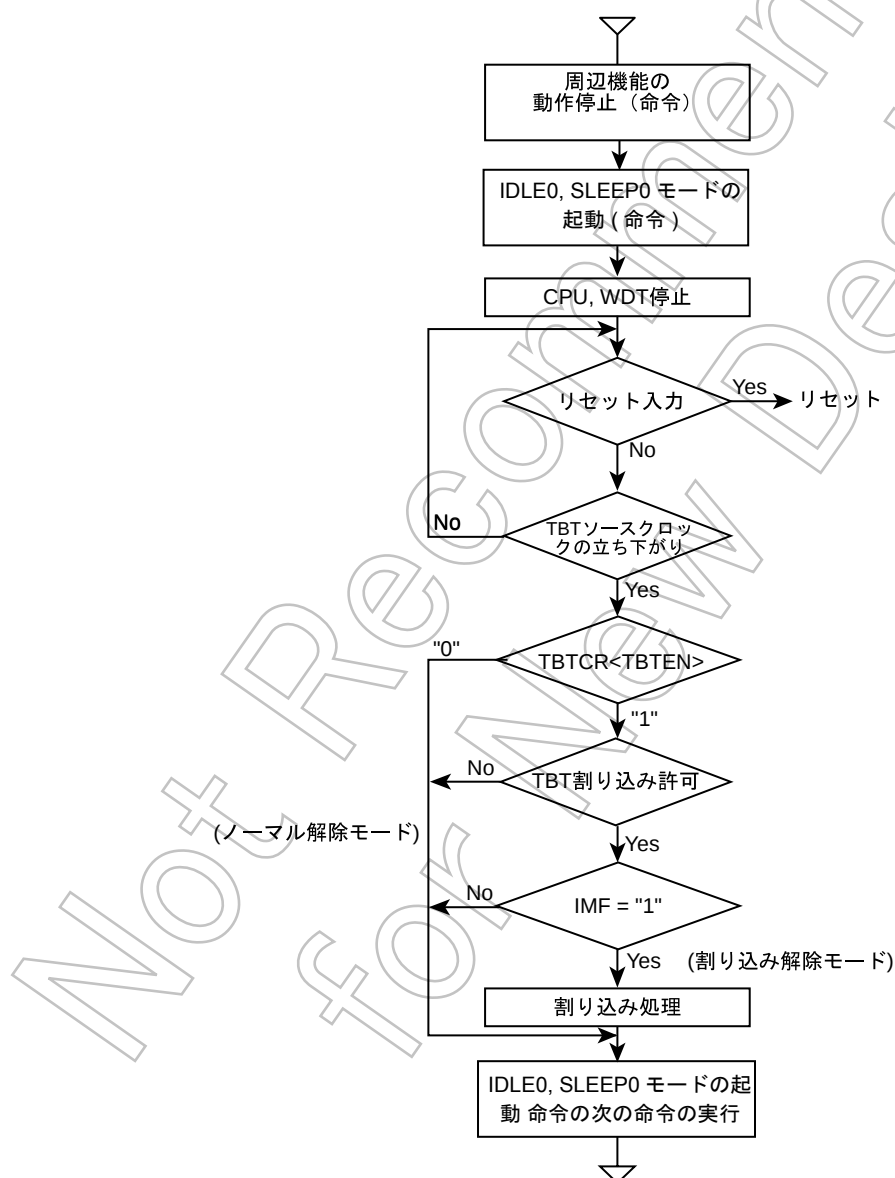


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは  $\overline{\text{RESET}}$  端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

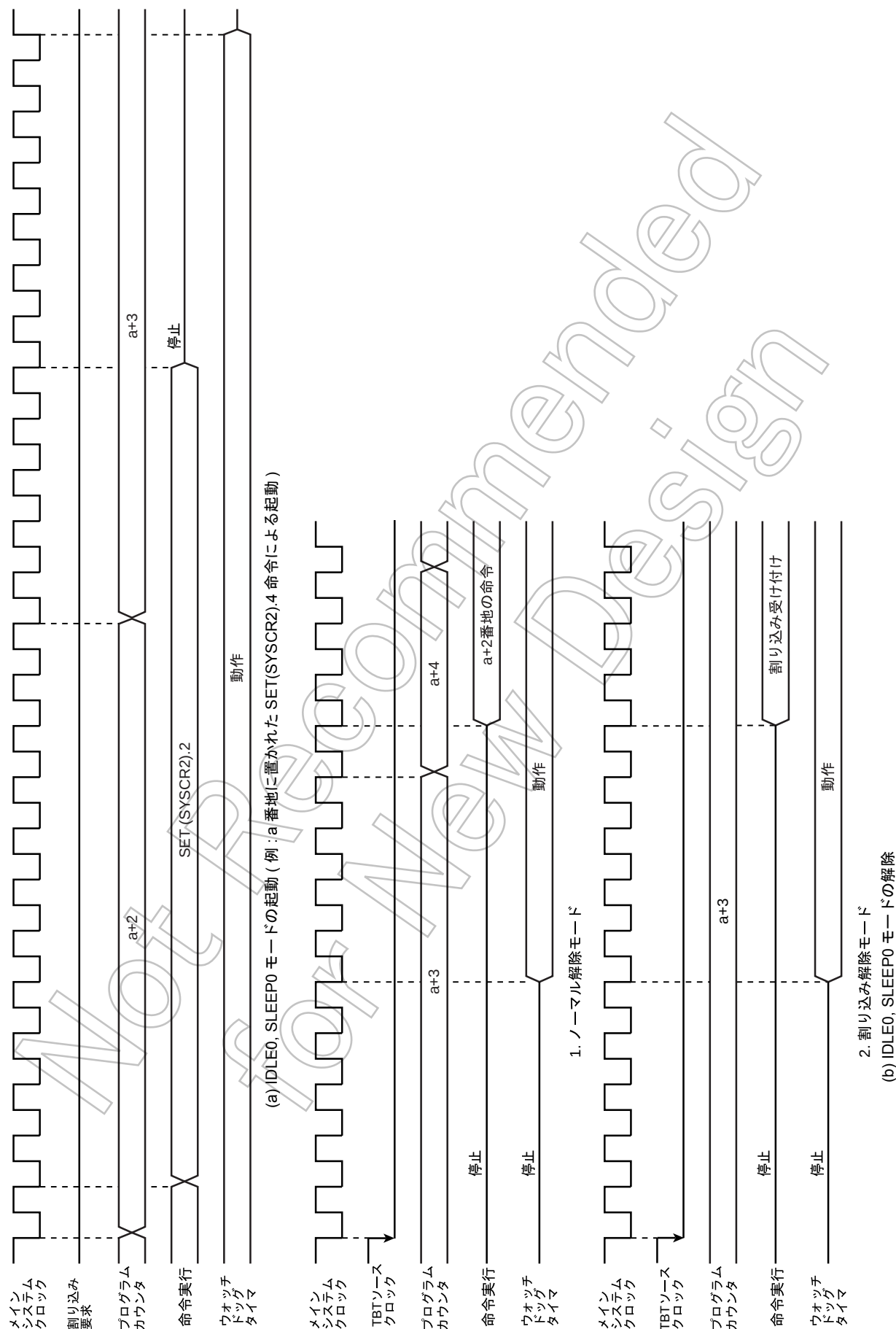


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ; (システムクロックを低周波に切り替え
                           ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
```

(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

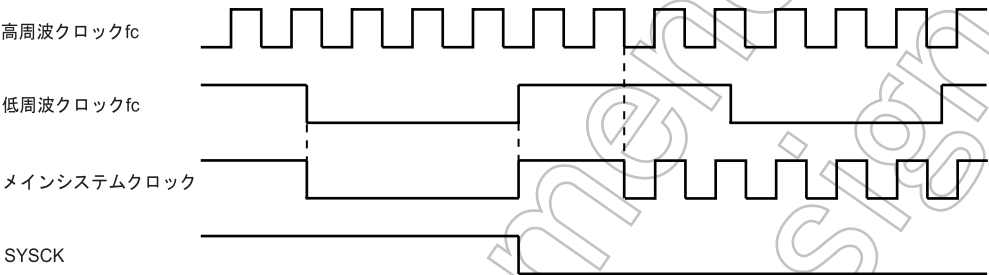
```

; SYSCR2<XTEN>←1
SET      (SYSCR2). 6      ; (低周波クロック発振開始)
LD       (TC3CR). 43H      ; TC4, 3 のモードをセット
LD       (TC4CR). 05H      ; ウォーミングアップカウントモードに設定
LDW      (TTREG3), 8000H    ; ウォーミングアップ時間をセット
                           ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 3         ; INTTC4 の割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3         ; TC4, 3 スタート
;
PINTTC4: CLR      (TC4CR). 3      ; TC4, 3 ストップ
;
SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                           ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC4: DW        PINTTC4      ; INTTC4 ベクタテーブル
```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1”にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC4, TC3) によって確保したあと、SYSCR2<SYSCK> を“0”にクリアしてシステムクロックを高周波に切り替えます。SLOWモードは RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え  
(fc = 16 MHz, ウォーミングアップ時間 = 4.0 ms)

```
SET      (SYSCR2). 7      ; SYSCR2<XEN>←1  
                          ; (高周波クロック発振開始)  
LD       (TC3CR), 63H     ; TC4, 3 のモードをセット  
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック : fc)  
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット  
                          ; (周波数と発振子の特性で時間を決定します)  
DI       ; IMF←0  
SET      (EIRH). 3       ; INTTC4 割り込みを許可  
EI       ; IMF←1  
SET      (TC4CR). 3      ; TC4, 3 スタート  
↓  
PINTTC4 CLR      (TC4CR). 3      ; TC4, 3 ストップ  
CLR      (SYSCR2). 5     ; SYSCR2<SYSCK>←0  
                          ; (システムクロックを高周波に切り替え)  
RETI  
↓  
VINTTC4: DW      PINTTC4      ; INTTC4 ベクタテーブル
```

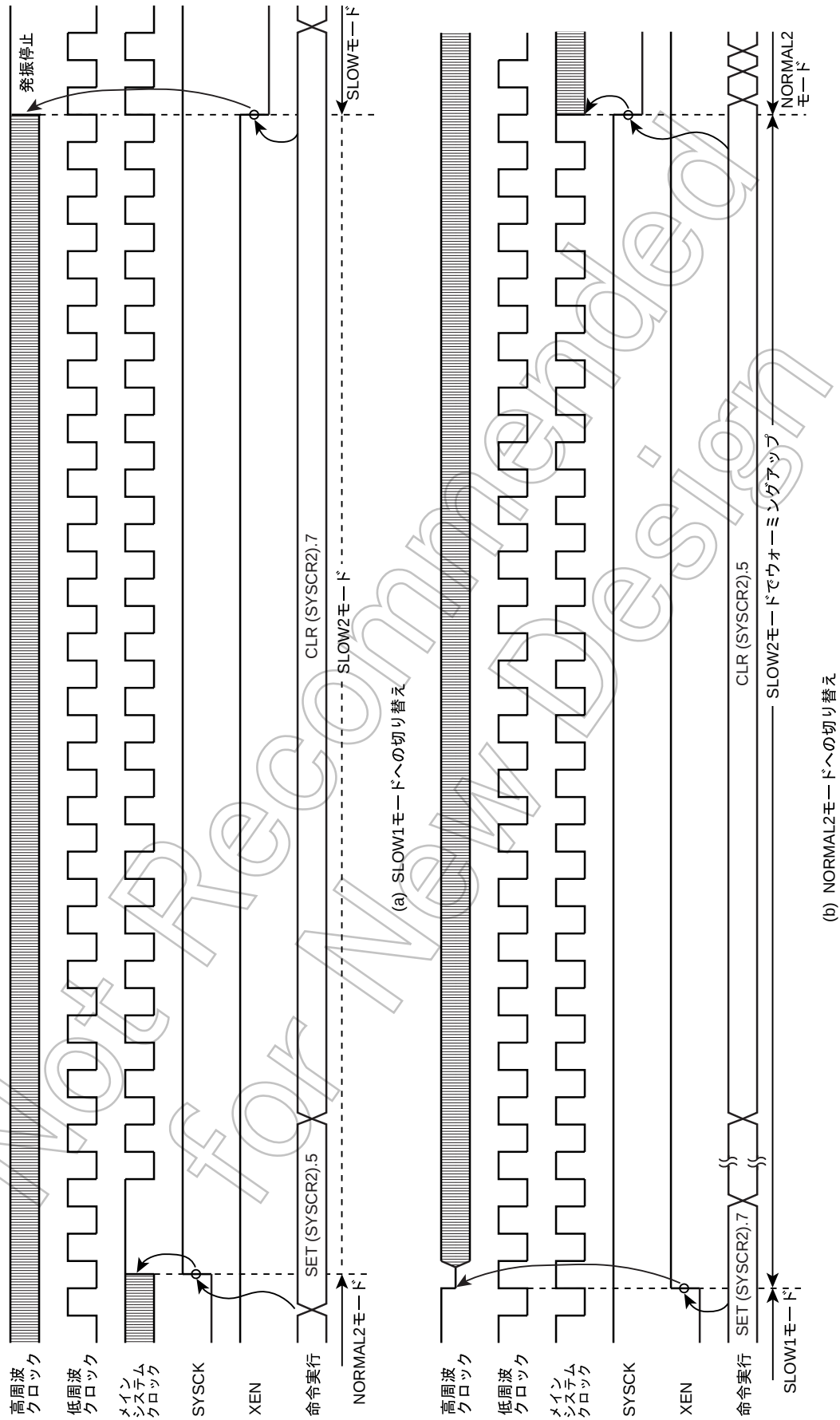


図 2-14 SLOW ↔ NORMAL2 モード切り替え

# 2.3 リセット回路

TMP86P820UG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロック リセットの 4 種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 24/fc[s] の期間リセット状態となります。(RESET 端子から L レベルを出力します)

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 24/fc (1.5 μs @ 16.0 MHz) の期間リセット状態となる (最大 24/fc の期間、RESET 端子からレベルを出力する) 場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

| 内蔵ハードウェア                                | 初期値      | 内蔵ハードウェア                   | 初期値             |
|-----------------------------------------|----------|----------------------------|-----------------|
| プログラムカウンタ (PC)                          | (FFFEH)  | タイミング ジェネレータのプリスケーラおよびデバイダ | 0               |
| スタックポインタ (SP)                           | 初期化されません |                            |                 |
| 汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY) | 初期化されません |                            |                 |
| ジャンプステータスフラグ (JF)                       | 初期化されません | ウォッチドッグタイマ                 | イネーブル           |
| ゼロフラグ (ZF)                              | 初期化されません | 入出力ポートの出力ラッチ               | 各入出力ポートの説明箇所を参照 |
| キャリーフラグ (CF)                            | 初期化されません |                            |                 |
| ハーフキャリーフラグ (HF)                         | 初期化されません |                            |                 |
| サインフラグ (SF)                             | 初期化されません |                            |                 |
| オーバフローフラグ (VF)                          | 初期化されません |                            |                 |
| 割り込みマスタ許可フラグ (IMF)                      | 0        |                            |                 |
| 割り込み個別許可フラグ (EF)                        | 0        | 制御レジスタ                     | 各制御レジスタの説明箇所を参照 |
| 割り込みラッチ (IL)                            | 0        |                            |                 |
|                                         |          | LCD データバッファ                | 初期化されません        |
|                                         |          | RAM                        | 初期化されません        |

## 2.3.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル (12/fc [s]) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

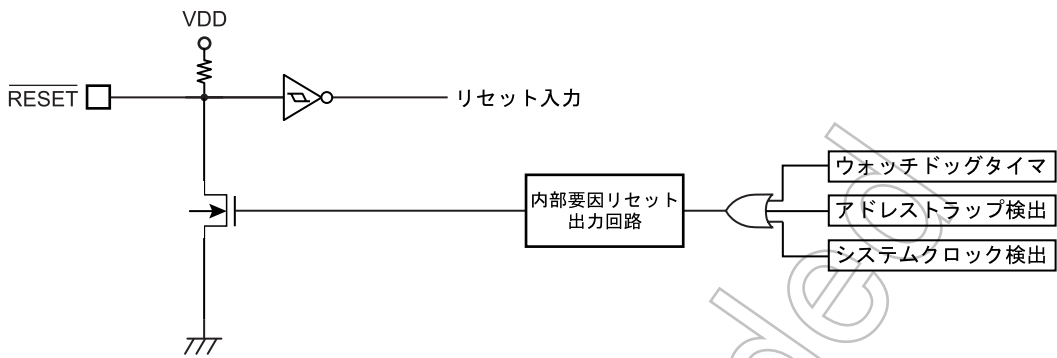
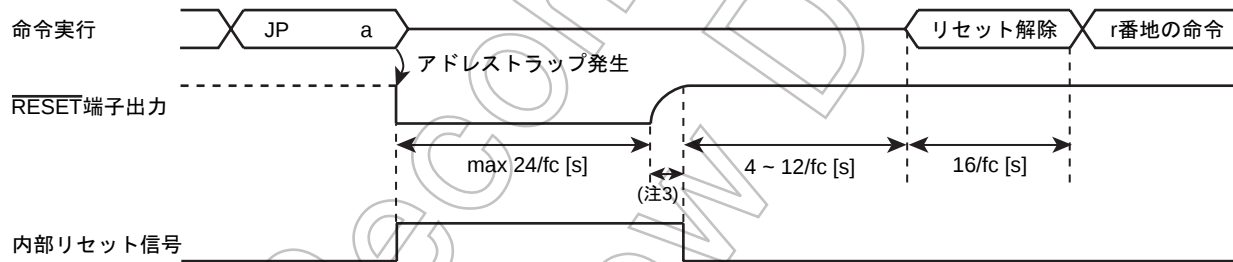


図 2-15 リセット回路

2.3.2 アドレストラップ リセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大  $24/f_c$  [s] ( $1.5 \mu s @ 16.0 \text{ MHz}$ ) です。このときリセット端子は最大  $24/f_c$  [s] の期間、“L” レベルを出力します。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



- 注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。  
注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。  
注 3) 外部要因、電圧などにより変化します。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大  $24/f_c$  [s] ( $1.5 \mu s @ 16.0 \text{ MHz}$ ) です。このときリセット端子は最大  $24/f_c$  [s] の期間、“L” レベルを出力します。

## 第 3 章 割り込み制御回路

TMP86P820UG には、リセットを除き合計 15 種類の割り込み要因 (うち、1 要因はマルチプレクス) があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

| 割り込み要因  |                          | 許可条件                     | 割り込みラッチ | ベクタアドレス | 優先順位 |
|---------|--------------------------|--------------------------|---------|---------|------|
| 内部 / 外部 | (リセット)                   | ノンマスカブル                  | -       | FFFE    | 1    |
| 内部      | INTSW (ソフトウェア割り込み)       | ノンマスカブル                  | -       | FFFC    | 2    |
| 内部      | INTUNDEF (未定義命令実行割り込み)   | ノンマスカブル                  | -       | FFFC    | 2    |
| 内部      | INTATRAP (アドレストラップ割り込み)  | ノンマスカブル                  | IL2     | FFFA    | 2    |
| 内部      | INTWDT (ウォッチドッグタイマ割り込み)  | ノンマスカブル                  | IL3     | FFF8    | 2    |
| 外部      | $\overline{\text{INT0}}$ | IMF・EF4 = 1, INT0EN = 1  | IL4     | FFF6    | 5    |
| 外部      | INT1                     | IMF・EF5 = 1              | IL5     | FFF4    | 6    |
| 内部      | INTTBT                   | IMF・EF6 = 1              | IL6     | FFF2    | 7    |
| 外部      | INT2                     | IMF・EF7 = 1              | IL7     | FFF0    | 8    |
| 内部      | INTTC1                   | IMF・EF8 = 1              | IL8     | FFEE    | 9    |
| 内部      | INTSIO                   | IMF・EF9 = 1              | IL9     | FFEC    | 10   |
| -       | Reserved                 | IMF・EF10 = 1             | IL10    | FFEA    | 11   |
| 内部      | INTTC4                   | IMF・EF11 = 1             | IL11    | FFE8    | 12   |
| -       | Reserved                 | IMF・EF12 = 1             | IL12    | FFE6    | 13   |
| 内部      | INTADC                   | IMF・EF13 = 1             | IL13    | FFE4    | 14   |
| 外部      | INT3                     | IMF・EF14 = 1, IL14ER = 0 | IL14    | FFE2    | 15   |
| -       | INTTC3                   | IMF・EF14 = 1, IL14ER = 1 |         |         |      |
| 外部      | $\overline{\text{INT5}}$ | IMF・EF15 = 1             | IL15    | FFE0    | 16   |

注 1) 割り込みソースを共有している割り込み要因は、INTSEL レジスタ (「3.3 割り込み要因の選択 (INTSEL)」) で設定します。

注 2) アドレストラップ割り込み (INTATRAP) を使用するには WDTTCR1<ATOUT> を“0”に設定してください (リセット解除後は“リセット要求”に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注 3) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTTCR1<WDTOUT> を“0”に設定してください (リセット解除後は“リセット要求”に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

### 3.1 割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。  
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例 2) 割り込みラッチの読み出し

```
LD      WA, (ILL) ; W ← ILH, A ← ILL
```

(プログラム例 3) 割り込みラッチのテスト

```
TEST      (ILL). 7 ; IL7 = 1 ならジャンプ
JR      F, SSET
```

## 3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

### 3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

### 3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

#### (プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI                                ; IMF ← 0
LDW                               ; EF15~EF13, EF11, EF7, EF5 ← 1
:                                ; 注) IMF はセットしない
:
EI                                ; IMF ← 1
```

#### (プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL;      /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

Not Recommended  
for New Design

## 割り込みラッチ

(初期値: 00000000 000000\*\*)

|                            |      |      |      |      |      |      |     |     |     |     |     |     |     |     |   |   |
|----------------------------|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|---|---|
| ILH, ILL<br>(003DH, 003CH) | 15   | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1 | 0 |
|                            | IL15 | IL14 | IL13 | IL12 | IL11 | IL10 | IL9 | IL8 | IL7 | IL6 | IL5 | IL4 | IL3 | IL2 |   |   |

ILH (003DH)

ILL (003CH)

| IL15~IL2 | 割り込みラッチ | RD 時                       | WR 時                           | R/W |
|----------|---------|----------------------------|--------------------------------|-----|
|          |         | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0: 割り込み要求のクリア (注)<br>1: セットは不可 |     |

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。  
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

## 割り込み許可レジスタ

(初期値: 00000000 0000\*\*\*\*)

|                              |      |      |      |      |      |      |     |     |     |     |     |     |   |   |   |     |
|------------------------------|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|---|---|---|-----|
| EIRH, EIRL<br>(003BH, 003AH) | 15   | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3 | 2 | 1 | 0   |
|                              | EF15 | EF14 | EF13 | EF12 | EF11 | EF10 | EF9 | EF8 | EF7 | EF6 | EF5 | EF4 |   |   |   | IMF |

EIRH (003BH)

EIRL (003AH)

| EF15~EF4 | 割り込み個別許可フラグ<br>(ビットごとに指定) | 0: 各マスカブル割り込みの受け付け禁止<br>1: 各マスカブル割り込みの受け付け許可     | R/W |
|----------|---------------------------|--------------------------------------------------|-----|
|          |                           | 0: 各マスカブル割り込み全体の受け付け禁止<br>1: 各マスカブル割り込み全体の受け付け許可 |     |
| IMF      | 割り込みマスタ許可フラグ              | 0: 各マスカブル割り込み全体の受け付け禁止<br>1: 各マスカブル割り込み全体の受け付け許可 | R/W |
|          |                           |                                                  |     |

- 注 1) \*: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。  
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

- 1. INT3 と INTTC3 は優先順位 15 の割り込みソースを共有します。

割り込み要因セクタ

|                   |   |   |   |   |   |   |        |   |                 |
|-------------------|---|---|---|---|---|---|--------|---|-----------------|
| INTSEL<br>(003EH) | 7 | 6 | 5 | 4 | 3 | 2 | 1      | 0 |                 |
|                   | — | — | — | — | — | — | IL14ER | — | (初期値: **** *0*) |

|        |                  |                      |     |
|--------|------------------|----------------------|-----|
| IL14ER | INT3, INTTC3 の選択 | 0: INT3<br>1: INTTC3 | R/W |
|--------|------------------|----------------------|-----|

注) INTSEL のビット 6 には “1” を、ビット 0 には “0” を必ず書き込んでください。

### 3.4 割り込み処理

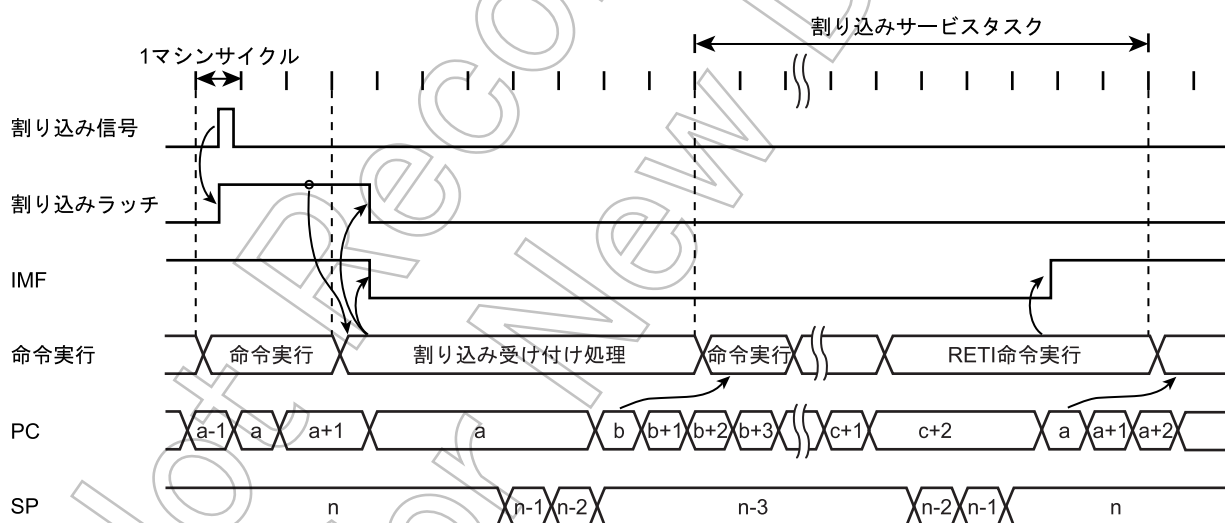
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2  $\mu$ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] ( マスカブル割り込みの場合 )/[RETN] ( ノンマスカブル割り込みの場合 ) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

#### 3.4.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータス ワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a: 戻り番地 b: エントリーアドレス c: RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

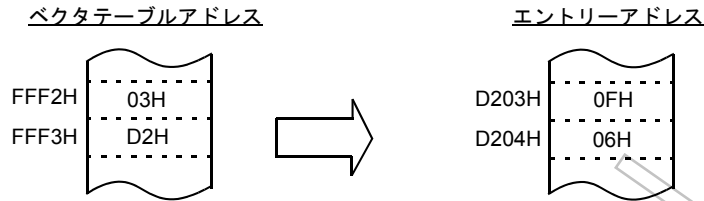


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.4.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の 2 つの方法があります。

3.4.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

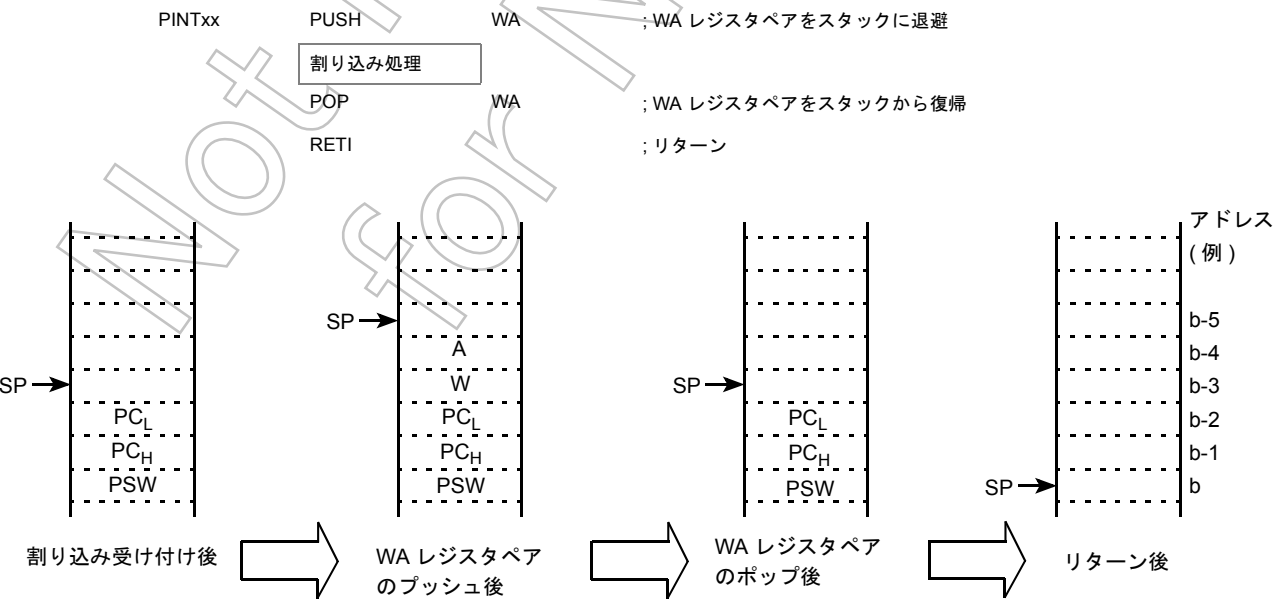


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.4.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```
PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        割り込み処理
        LD      A, (GSAVA)      ; A レジスタの復帰
        RETI                    ; リターン
```

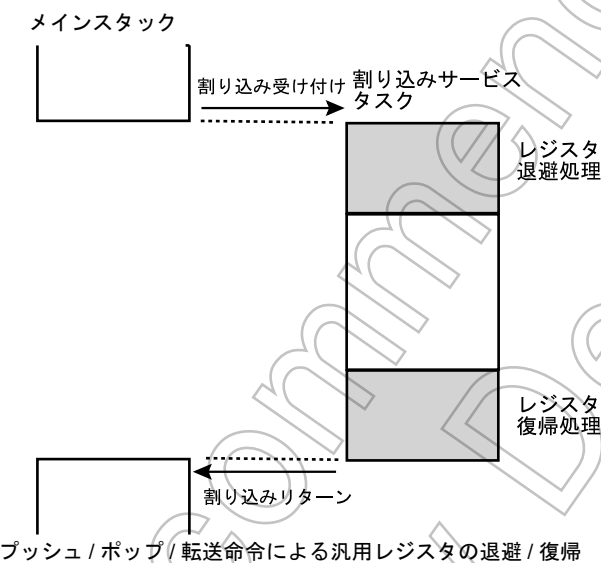


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.4.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

| [RETI] / [RETN] 割り込みリターン                                |
|---------------------------------------------------------|
| ① プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 |
| ② スタックポインタを 3 回インクリメントします。                              |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。  
割り込みリターン後の PCL、PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例 1) アドレストラップ割り込みサービスプログラムからのリターン

|        |        |                   |                       |
|--------|--------|-------------------|-----------------------|
| PINTxx | POP    | WA                | ; スタックポインタを 2 つ戻す     |
|        | LD     | WA, RetrunAddress | ; WA レジスタに再開アドレスを代入する |
|        | PUSH   | WA                | ; スタックにプッシュダウンする      |
|        | 割り込み処理 |                   |                       |
|        | RETN   |                   | ; ノンマスカブル割り込みリターン命令   |

(プログラム例 2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

|        |        |                |                               |
|--------|--------|----------------|-------------------------------|
| PINTxx | INC    | SP             | ; スタックポインタを 3 つ戻す             |
|        | INC    | SP             |                               |
|        | INC    | SP             |                               |
|        | 割り込み処理 |                |                               |
|        | LD     | EIRL, data     | ; IMF を "1" にセット、または "0" にクリア |
|        | JP     | RestartAddress | ; 復帰アドレスへジャンプ                 |

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注 1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。
- 注 2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

### 3.5 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

#### 3.5.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

#### 3.5.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

### 3.6 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

### 3.7 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

## 3.8 外部割り込み

TMP86P820UG には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1 ~ INT3 端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P63 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および  $\overline{\text{INT0}}$ /P63 端子の機能選択は、外部割り込み制御レジスタで行います。

| 要因   | 端子名                      | 許可条件                             | エッジ                         | デジタルノイズ除去回路                                                                                                                                      |
|------|--------------------------|----------------------------------|-----------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|
| INT0 | $\overline{\text{INT0}}$ | IMF • EF4 • INT0EN=1             | 立ち下がりエッジ                    | 2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。                        |
| INT1 | INT1                     | IMF • EF5 = 1                    | 立ち下がりエッジ<br>または<br>立ち上がりエッジ | 15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |
| INT2 | INT2                     | IMF • EF7 = 1                    | 立ち下がりエッジ<br>または<br>立ち上がりエッジ | 7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。                       |
| INT3 | INT3                     | IMF • EF14 = 1<br>及び<br>IL14ER=0 | 立ち下がりエッジ<br>または<br>立ち上がりエッジ | 7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。                       |
| INT5 | $\overline{\text{INT5}}$ | IMF • EF15 = 1                   | 立ち下がりエッジ                    | 2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。                        |

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$  端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

|         |        |        |   |   |        |        |        |   |                  |
|---------|--------|--------|---|---|--------|--------|--------|---|------------------|
| EINTCR  | 7      | 6      | 5 | 4 | 3      | 2      | 1      | 0 |                  |
| (0037H) | INT1NC | INT0EN | - | - | INT3ES | INT2ES | INT1ES |   | (初期値: 00** 000*) |

|         |                  |                                                                        |     |
|---------|------------------|------------------------------------------------------------------------|-----|
| INT1NC  | INT1 のノイズ除去時間の選択 | 0: 63/fc[s] 未満のパルスはノイズとして除去<br>1: 15/fc[s] 未満のパルスはノイズとして除去             | R/W |
| INT0EN  | P63/INT0 の機能選択   | 0: P63 入出力ポート<br>1: $\overline{\text{INT0}}$ 端子 (P63 ポートは入力モードにしてください) | R/W |
| INT3 ES | INT3 のエッジ選択      | 0: 立ち上がりエッジで割り込み要求発生<br>1: 立ち下がりエッジで割り込み要求発生                           | R/W |
| INT2 ES | INT2 のエッジ選択      | 0: 立ち上がりエッジで割り込み要求発生<br>1: 立ち下がりエッジで割り込み要求発生                           | R/W |
| INT1 ES | INT1 のエッジ選択      | 0: 立ち上がりエッジで割り込み要求発生<br>1: 立ち下がりエッジで割り込み要求発生                           | R/W |

- 注 1) fc; 高周波クロック [Hz] \*; Don't care
- 注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。
- 注 3) INT1NC を切り替えた場合、最大  $2^6/fc$  の期間ノイズキャンセル時間が切り替わらない事があります。

Not Recommended  
for New Design

## 第4章 スペシャルファンクションレジスタ

TMP86P820UG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86P820UG の SFR, DBR の一覧を示します。

### 4.1 SFR

| アドレス  | リード    | ライト      |
|-------|--------|----------|
| 0000H |        | Reserved |
| 0001H |        | P1DR     |
| 0002H |        | P2DR     |
| 0003H |        | P3DR     |
| 0004H |        | P3OUTCR  |
| 0005H |        | P5DR     |
| 0006H |        | P6DR     |
| 0007H |        | P7DR     |
| 0008H | P1PRD  | -        |
| 0009H | P2PRD  | -        |
| 000AH | P3PRD  | -        |
| 000BH | P5PRD  | -        |
| 000CH |        | P6CR     |
| 000DH | P7PRD  | -        |
| 000EH |        | ADCCR1   |
| 000FH |        | ADCCR2   |
| 0010H |        | TREG1AL  |
| 0011H |        | TREG1AM  |
| 0012H |        | TREG1AH  |
| 0013H |        | TREG1B   |
| 0014H |        | TC1CR1   |
| 0015H |        | TC1CR2   |
| 0016H | TC1SR  | -        |
| 0017H |        | Reserved |
| 0018H |        | TC3CR    |
| 0019H |        | TC4CR    |
| 001AH |        | Reserved |
| 001BH |        | Reserved |
| 001CH |        | TTREG3   |
| 001DH |        | TTREG4   |
| 001EH |        | Reserved |
| 001FH |        | Reserved |
| 0020H | ADCDR1 | -        |
| 0021H | ADCDR2 | -        |
| 0022H |        | Reserved |
| 0023H |        | Reserved |
| 0024H |        | Reserved |
| 0025H |        | Reserved |
| 0026H |        | Reserved |

| アドレス  | リード      | ライト    |
|-------|----------|--------|
| 0027H | Reserved |        |
| 0028H | LCDCR    |        |
| 0029H | P1LCR    |        |
| 002AH | P5LCR    |        |
| 002BH | P7LCR    |        |
| 002CH | PWREG3   |        |
| 002DH | PWREG4   |        |
| 002EH | Reserved |        |
| 002FH | Reserved |        |
| 0030H | Reserved |        |
| 0031H | Reserved |        |
| 0032H | Reserved |        |
| 0033H | Reserved |        |
| 0034H | -        | WDTCR1 |
| 0035H | -        | WDTCR2 |
| 0036H | TBTCCR   |        |
| 0037H | EINTCR   |        |
| 0038H | SYSCR1   |        |
| 0039H | SYSCR2   |        |
| 003AH | EIRL     |        |
| 003BH | EIRH     |        |
| 003CH | ILL      |        |
| 003DH | ILH      |        |
| 003EH | INTSEL   |        |
| 003FH | PSW      |        |

- 注 1) Reserved の番地はプログラムでアクセスしないでください。
- 注 2) - ; アクセスできません。
- 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

## 4.2 DBR

| アドレス  | リード   | ライト      |
|-------|-------|----------|
| 0F80H |       | SEG1/0   |
| 0F81H |       | SEG3/2   |
| 0F82H |       | SEG5/4   |
| 0F83H |       | SEG7/6   |
| 0F84H |       | SEG9/8   |
| 0F85H |       | SEG11/10 |
| 0F86H |       | SEG13/12 |
| 0F87H |       | SEG15/14 |
| 0F88H |       | SEG17/16 |
| 0F89H |       | SEG19/18 |
| 0F8AH |       | SEG21/20 |
| 0F8BH |       | SEG23/22 |
| 0F8CH |       | SEG25/24 |
| 0F8DH |       | SEG27/26 |
| 0F8EH |       | SEG29/28 |
| 0F8FH |       | SEG31/30 |
| 0F90H |       | SIOBR0   |
| 0F91H |       | SIOBR1   |
| 0F92H |       | SIOBR2   |
| 0F93H |       | SIOBR3   |
| 0F94H |       | SIOBR4   |
| 0F95H |       | SIOBR5   |
| 0F96H |       | SIOBR6   |
| 0F97H |       | SIOBR7   |
| 0F98H | -     | SIOCR1   |
| 0F99H | SIOSR | SIOCR2   |
| 0F9AH | -     | STOPCR   |
| 0F9BH |       | Reserved |
| 0F9CH |       | Reserved |
| 0F9DH |       | Reserved |
| 0F9EH |       | Reserved |
| 0F9FH |       | Reserved |

| アドレス  | リード | ライト      |
|-------|-----|----------|
| 0FA0H |     | Reserved |
| ::    |     | ::       |
| 0BFH  |     | Reserved |

| アドレス  | リード | ライト      |
|-------|-----|----------|
| 0FC0H |     | Reserved |
| ::    |     | ::       |
| 0FDFH |     | Reserved |

| アドレス  | リード | ライト      |
|-------|-----|----------|
| 0FE0H |     | Reserved |
| ::    |     | ::       |
| 0FFFH |     | Reserved |

注 1) Reserved の番地はプログラムでアクセスしないでください。

注2) — ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended  
for New Design

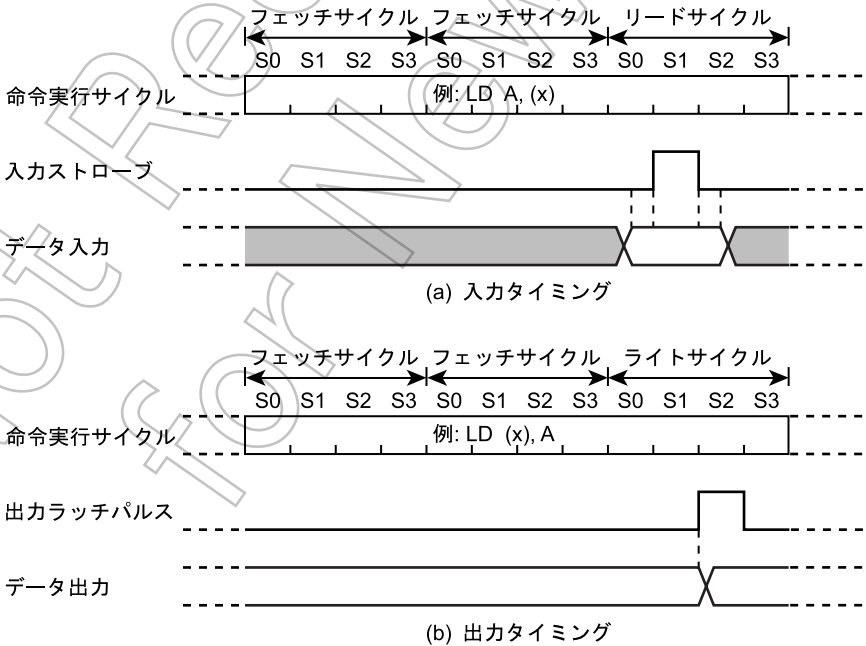
# 第 5 章 入出力ポート

TMP86P820UG は、6 ポート 39 端子の入出力ポートを内蔵しています。

1. P1 ポート (8 ビット入出力ポート)  
外部割り込み入力, シリアルクロック入出力, LCD セグメント出力と兼用
2. P2 ポート (3 ビット入出力ポート)  
低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用
3. P3 ポート (4 ビット入出力ポート)  
デバイダ出力, タイマ入出力と兼用
4. P5 ポート (8 ビット入出力ポート)  
LCD セグメント出力と兼用
5. P6 ポート (8 ビット入出力ポート)  
アナログ入力, 外部割り込み入力, STOP モード解除信号, タイマカウンタ入力と兼用
6. P7 ポート (8 ビット入出力ポート)  
LCD セグメント出力と兼用

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。またすべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。

図 5-1 に入出力タイミングを示します。入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P1 (P17~P10) ポート

P1 ポートは、8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、LCD セグメント出力と兼用です。入力ポートまたは、外部割り込み入力、シリアルインタフェース入出力として用いる場合は、セグメント出力制御 (P1LCR) を “0” にセットした後、出力ラッチ (P1DR) を “1” にセットします。出力ポートとして使用する場合は P1LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は P1LCR の対応するビットを “1” にセットします。リセット時、P1DR は “1” に、P1LCR は “0” に初期化されます。

P1 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P1PRD で端子の状態を読み出すと不定値が読み出されます。

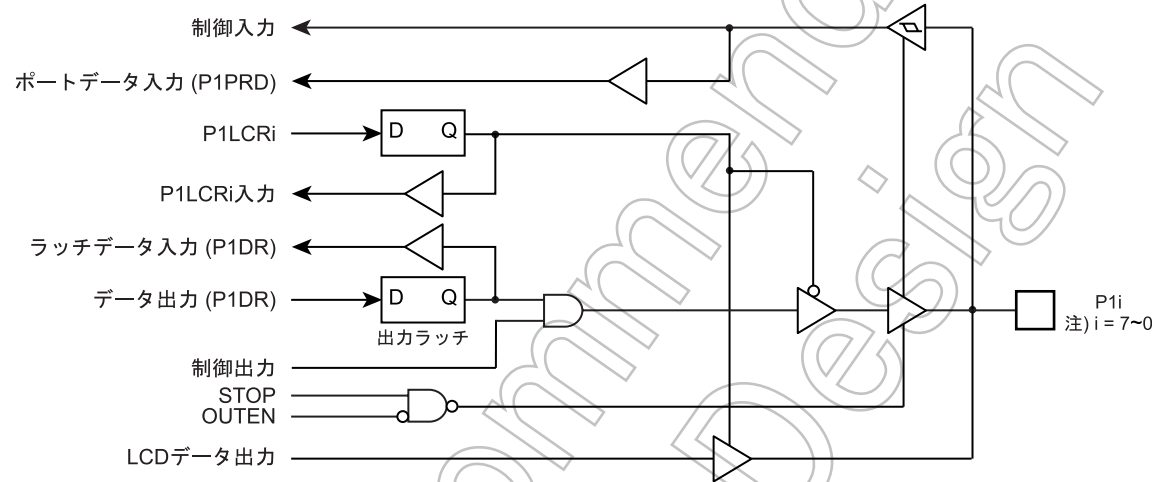


図 5-2 P1 ポート

|                               |                      |                                |                    |                      |                      |                      |                                           |              |                  |
|-------------------------------|----------------------|--------------------------------|--------------------|----------------------|----------------------|----------------------|-------------------------------------------|--------------|------------------|
|                               | 7                    | 6                              | 5                  | 4                    | 3                    | 2                    | 1                                         | 0            |                  |
| P1DR<br>(0001H)<br>R/W        | P17<br>SEG24<br>SCK0 | P16<br>SEG25<br>SO             | P15<br>SEG26<br>SI | P14<br>SEG27<br>INT3 | P13<br>SEG28<br>INT2 | P12<br>SEG29<br>INT1 | P11<br>SEG30                              | P10<br>SEG31 | (初期値: 1111 1111) |
| P1LCR<br>(0029H)              |                      |                                |                    |                      |                      |                      |                                           |              | (初期値: 0000 0000) |
|                               | P1LCR                | P1 ポートのセグメント出力制御<br>(ビットごとに指定) |                    |                      |                      |                      | 0: 入出力ポートまたはセグメント 出力を除く兼用機能<br>1: セグメント出力 |              | R/W              |
| P1PRD<br>(0008H)<br>Read only | P17                  | P16                            | P15                | P14                  | P13                  | P12                  | P11                                       | P10          |                  |

# 5.2 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用することを推奨します (出力ポートとして使用すると出力パルスの立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

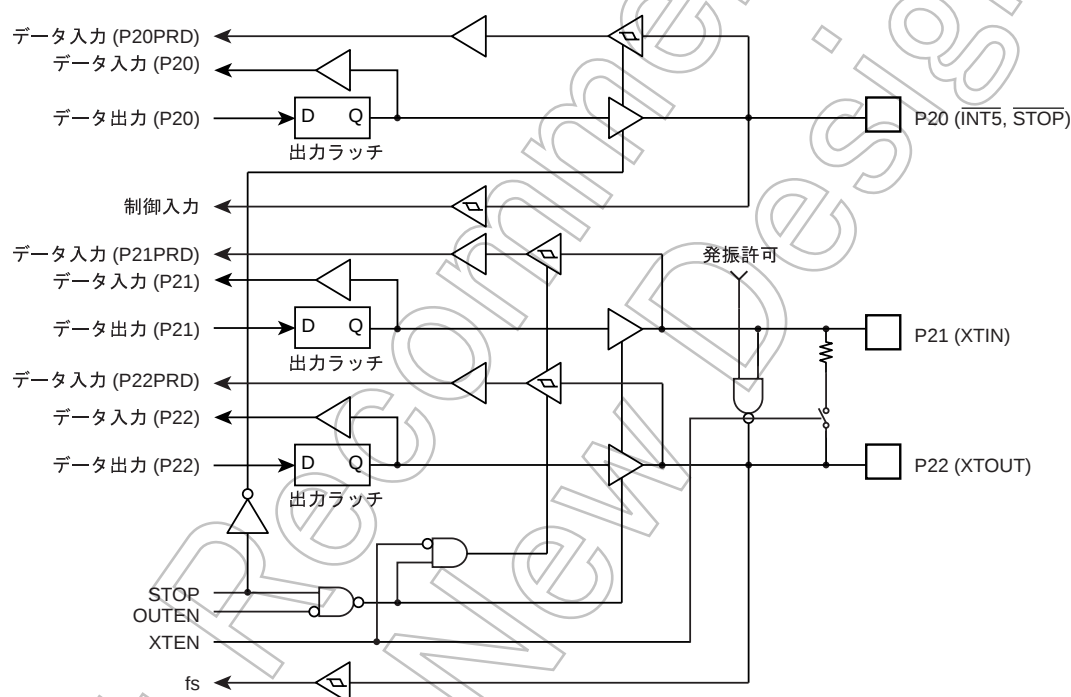


図 5-3 P2 ポート

|                               | 7 | 6 | 5 | 4 | 3 | 2            | 1           | 0                   |                  |
|-------------------------------|---|---|---|---|---|--------------|-------------|---------------------|------------------|
| P2DR<br>(0002H)<br>R/W        |   |   |   |   |   | P22<br>XTOUT | P21<br>XTIN | P20<br>INT5<br>STOP | (初期値: **** *111) |
| P2PRD<br>(0009H)<br>Read only |   |   |   |   |   | P22          | P21         | P20                 |                  |

注) P20 端子が  $\overline{\text{STOP}}$  端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は High-z 状態となります。

5.3 P3 (P36~P30) ポート

P3 ポートは、4 ビットの入出力ポートで、タイマカウンタ入出力、デバイダ出力と兼用です。タイマカウンタ出力、デバイダ出力として使用する場合は、出力ラッチ (P3DR) を “1” にセットします。

P3 ポートは出力回路制御 (P3OUTCR) により、出力回路をシングオープンドレイン出力、C-MOS 出力のいずれかに選択することができます。入力ポートまたはタイマカウンタ入力として使用する場合は、P3DR を “1” にセットした後、P3OUTCR の対応するビットを “0” に設定します。リセット時、P3DR は “1” に、P3OUTCR は “0” に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

P3DR、P3PRD に対してリード命令を実行した場合、ビット 7~4 は不定値が読み込まれます。

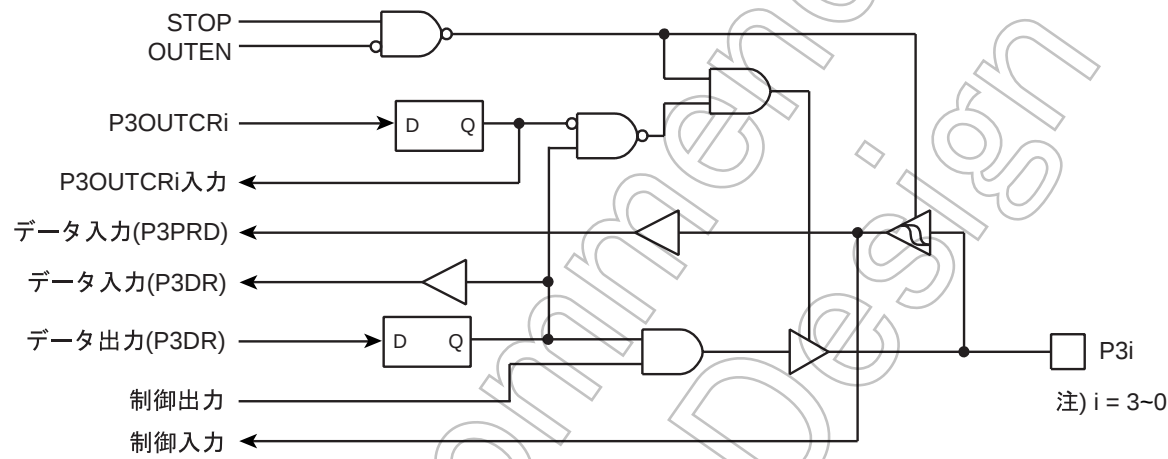
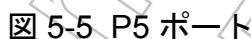


図 5-4 P3 ポート

|                               |   |   |   |   |                                 |                                    |                            |            |                                        |
|-------------------------------|---|---|---|---|---------------------------------|------------------------------------|----------------------------|------------|----------------------------------------|
|                               | 7 | 6 | 5 | 4 | 3                               | 2                                  | 1                          | 0          |                                        |
| P3DR<br>(0003H)<br>R/W        |   |   |   |   | P33                             | P32<br>PWM4<br>PDO4<br>PPG4<br>TC4 | P31<br>PWM3<br>PDO3<br>TC3 | P30<br>DVO | (初期値 : *111 1111)                      |
| P3OUTCR<br>(0004H)            |   |   |   |   |                                 |                                    |                            |            | (初期値 : *000 0000)                      |
|                               |   |   |   |   | P3 ポートの<br>出力回路制御<br>(ビットごとに指定) |                                    |                            |            | 0: シングオープンドレイン出力<br>1: C-MOS 出力<br>R/W |
| P3PRD<br>(000AH)<br>Read only |   |   |   |   | P33                             | P32                                | P31                        | P30        |                                        |

P5 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御 (P5LCR) を “0” にセットした後、出力ラッチ (P5DR) を “1” にセットします。出力ポートとして用いる場合は P5LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は P5LCR の対応するビットを “1” にセットします。リセット時、P5DR は “1” に、P5LCR は “0” に初期化されます。

LCDセグメント出力に設定した端子に対してP5PRDで端子の状態を読み出すと不定値が読み出されます。

Page 57

5.5 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力、タイマカウンタ入力、外部割り込み入力と兼用です。入出力の指定は、P6 ポート入出力制御レジスタ (P6CR) と出力ラッチ (P6DR) と AINDS (ADCCR1 のビット 4) によって行います。リセット時は、P6CR と P6DR は “0” にクリアされ、AINDS は “1” にセットされますので、P67~P60 は入力が “0” レベル固定の状態となります。入力ポート、外部割り込み入力、タイマカウンタ入力またはキーオンウェイクアップ入力として使用する場合は、対応するビットを入力モード (P6CR = “0” , P6DR = “1” ) に設定します。出力ポートとして使用する場合は、P6CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0” , P6DR = “0” ) に設定し、AINDS = “0” にするとともに AD をスタートさせます。

出力ラッチ = “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャネル選択は、SAIN (ADCCR1 のビット 2~0) の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

AD コンバータ入力として使用するビットの宣言・設定つまり P6DR を “0” にクリアしているときに、入力命令を実行すると上記ビットは “0” が読み込まれます。

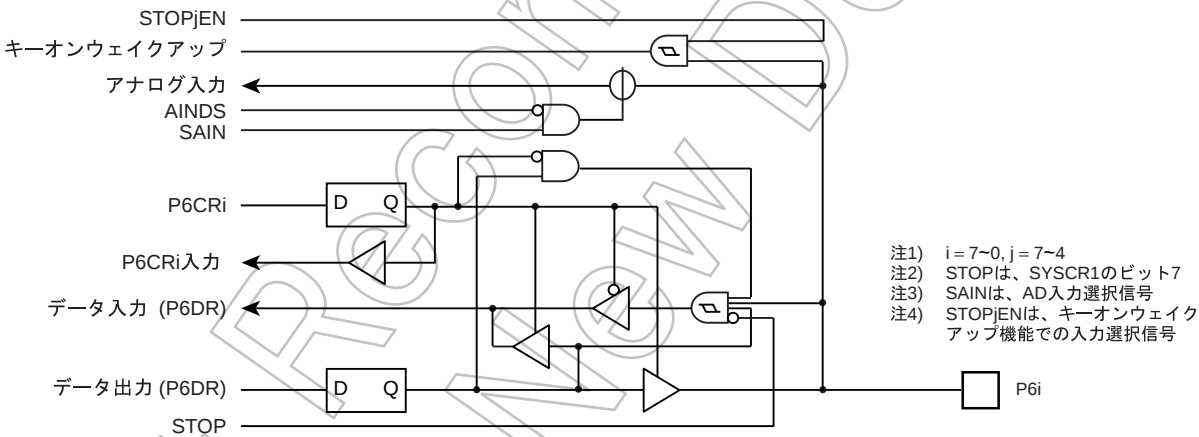


図 5-6 P6 ポートと P6 ポート入出力制御レジスタ

|                        | 7                    | 6                    | 5                    | 4                    | 3                   | 2                   | 1                   | 0           |                  |
|------------------------|----------------------|----------------------|----------------------|----------------------|---------------------|---------------------|---------------------|-------------|------------------|
| P6DR<br>(0006H)<br>R/W | P67<br>AIN7<br>STOP5 | P66<br>AIN6<br>STOP4 | P65<br>AIN5<br>STOP3 | P64<br>AIN4<br>STOP2 | P63<br>AIN3<br>INT0 | P62<br>AIN2<br>ECNT | P61<br>AIN1<br>ECIN | P60<br>AIN0 | (初期値: 0000 0000) |
| P6CR<br>(000CH)        |                      |                      |                      |                      |                     |                     |                     |             | (初期値: 0000 0000) |

| P6CR | P6 ポートの入力制御<br>(ビットごとに指定) |   | AINDS = 1 (AD 不使用) |            | AINDS = 0 (AD 使用時)  |            | R/W |
|------|---------------------------|---|--------------------|------------|---------------------|------------|-----|
|      |                           |   | P6DR = "0"         | P6DR = "1" | P6DR = "0"          | P6DR = "1" |     |
|      |                           | 0 | 入力 "0" 固定          | 入力モード      | アナログ入力<br>モード (注 4) | 入力モード      |     |
|      |                           | 1 | 出力モード              |            | 出力モード               |            |     |

- 注 1) アナログ入力として使用する端子は、外部信号とショートしますので出力モード (P6CR = "1") には設定しないでください。
- 注 2) 外部割り込み入力 ( $\overline{\text{INT0}}$ )、タイマカウンタ 1 入力 (ECNT, ECIN) として使用する場合は、入力モード (P6CR = "0", P6DR = "1") に設定してください。
- 注 3) キーオンウェイクアップ入力 (STOP5~2) として使用する場合は、P6CR の対応するビットを "0" に設定してください。
- 注 4) アナログ入力モードに設定されているビットに対してリード命令を実行すると "0" が読み込まれます。(貫通電流対策)
- 注 5) P6DR は R/W レジスタですが、入力モード制御機能と兼用のためビット操作命令などのリードモディファイライト命令は使用できません。入力に設定されているビットは、リード命令により端子の内容を読み込みますので、リードモディファイライト命令を実行すると、出力ラッチが書き替えられ入力ができなくなります。(リードモディファイライト命令は、最初に 8 ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8 ビット分すべてのデータを出カラッチに書き込みます。)



第 6 章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

6.1 タイムベースタイマ

6.1.1 構成

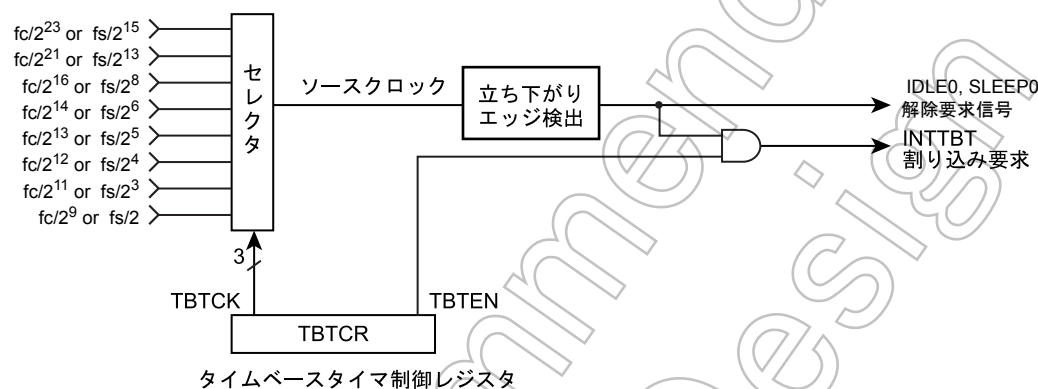


図 6-1 タイムベースタイマの構成

6.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTEN) で制御されます。

タイムベースタイマ制御レジスタ

|                  | 7       | 6       | 5       | 4     | 3 | 2 | 1     | 0 |                   |
|------------------|---------|---------|---------|-------|---|---|-------|---|-------------------|
| TBTEN<br>(0036H) | (DVOEN) | (DVOCK) | (DV7CK) | TBTEN |   |   | TBTCK |   | (初期値 : 0000 0000) |

| TBTEN | タイムベースタイマの許可 / 禁止                | 0: ディセーブル<br>1: イネーブル  |                    |                          |     |
|-------|----------------------------------|------------------------|--------------------|--------------------------|-----|
| TBTCK | タイムベースタイマ割り込み周波数の選択<br>単位 : [Hz] | NORMAL1/2, IDLE1/2 モード |                    | SLOW1/2, SLEEP1/2<br>モード | R/W |
|       |                                  | DV7CK = 0              | DV7CK = 1          |                          |     |
|       |                                  | 000                    | fc/2 <sup>23</sup> | fs/2 <sup>15</sup>       |     |
|       |                                  | 001                    | fc/2 <sup>21</sup> | fs/2 <sup>13</sup>       |     |
|       |                                  | 010                    | fc/2 <sup>16</sup> | fs/2 <sup>8</sup>        |     |
|       |                                  | 011                    | fc/2 <sup>14</sup> | fs/2 <sup>6</sup>        |     |
|       |                                  | 100                    | fc/2 <sup>13</sup> | fs/2 <sup>5</sup>        |     |
|       |                                  | 101                    | fc/2 <sup>12</sup> | fs/2 <sup>4</sup>        |     |
|       |                                  | 110                    | fc/2 <sup>11</sup> | fs/2 <sup>3</sup>        |     |
|       |                                  | 111                    | fc/2 <sup>9</sup>  | fs/2                     |     |

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care

注 2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を  $fc/2^{16}$  [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCCR), 00000010B      ; TBTCK ← 010
LD      (TBTCCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 6
```

表 6-1 タイムベースタイマ割り込み周波数 (例 :  $fc = 16.0$  MHz,  $fs = 32.768$  kHz 時)

| TBTCK | タイムベースタイマ割り込み周波数 [Hz]  |                        |                       |
|-------|------------------------|------------------------|-----------------------|
|       | NORMAL1/2, IDLE1/2 モード | NORMAL1/2, IDLE1/2 モード | SLOW1/2, SLEEP1/2 モード |
|       | DV7CK = 0              | DV7CK = 1              |                       |
| 000   | 1.91                   | 1                      | 1                     |
| 001   | 7.63                   | 4                      | 4                     |
| 010   | 244.14                 | 128                    | —                     |
| 011   | 976.56                 | 512                    | —                     |
| 100   | 1953.13                | 1024                   | —                     |
| 101   | 3906.25                | 2048                   | —                     |
| 110   | 7812.5                 | 4096                   | —                     |
| 111   | 31250                  | 16384                  | —                     |

6.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 6-2 参照)。

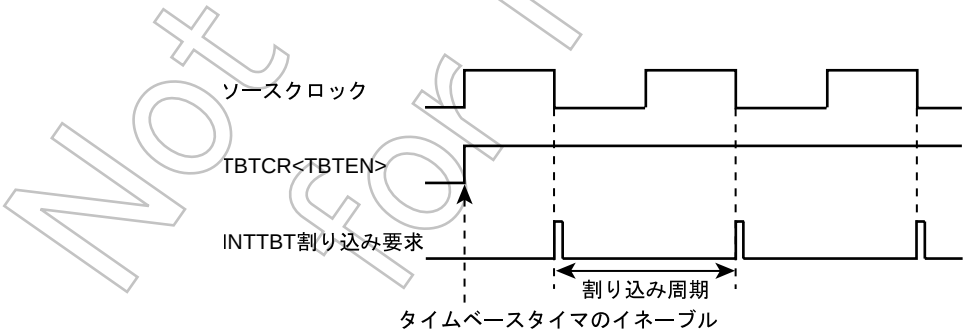


図 6-2 タイムベースタイマ割り込み

# 6.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 $\overline{\text{DVO}}$  端子から出力されます。

## 6.2.1 構成

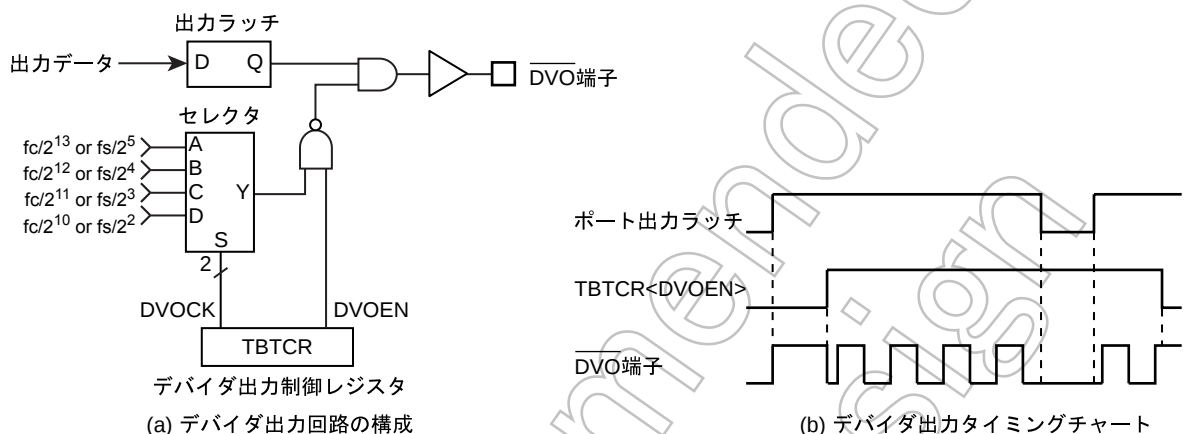


図 6-3 デバイダ出力

## 6.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

### タイムベースタイマ制御レジスタ

|                  | 7     | 6     | 5       | 4       | 3 | 2 | 1 | 0       |                  |
|------------------|-------|-------|---------|---------|---|---|---|---------|------------------|
| TBTCR<br>(0036H) | DVOEN | DVOCK | (DV7CK) | (TBTEN) |   |   |   | (TBTCK) | (初期値: 0000 0000) |

| DVOEN | デバイダ出力の<br>許可 / 禁止                                          | 0: ディセーブル<br>1: イネーブル |                          |  |                            | R/W |
|-------|-------------------------------------------------------------|-----------------------|--------------------------|--|----------------------------|-----|
| DVOCK | デバイダ出力 ( $\overline{\text{DVO}}$ 端子) の<br>周波数選択<br>単位: [Hz] |                       | NORMAL 1/2, IDLE 1/2 モード |  | SLOW 1/2, SLEEP 1/2<br>モード | R/W |
|       |                                                             |                       | DV7CK = 0                |  | DV7CK = 1                  |     |
|       |                                                             | 00                    | $fc/2^{13}$              |  | $fs/2^5$                   |     |
|       |                                                             | 01                    | $fc/2^{12}$              |  | $fs/2^4$                   |     |
|       |                                                             | 10                    | $fc/2^{11}$              |  | $fs/2^3$                   |     |
|       |                                                             | 11                    | $fc/2^{10}$              |  | $fs/2^2$                   |     |

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0") で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

( プログラム例 ) 1.95 kHz のパルスを出力 (fc = 16.0 MHz)

```
          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"
```

表 6-2 デバイダ出力の周波数 ( 例 : fc = 16.0 MHz, fs = 32.768 kHz 時 )

| DVOCK | デバイダ出力の周波数 [Hz]        |           |                          |
|-------|------------------------|-----------|--------------------------|
|       | NORMAL1/2, IDLE1/2 モード |           | SLOW1/2, SLEEP1/2<br>モード |
|       | DV7CK = 0              | DV7CK = 1 |                          |
| 00    | 1.953 k                | 1.024 k   | 1.024 k                  |
| 01    | 3.906 k                | 2.048 k   | 2.048 k                  |
| 10    | 7.813 k                | 4.096 k   | 4.096 k                  |
| 11    | 15.625 k               | 8.192 k   | 8.192 k                  |



もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT>= “1” なら、リセット要求が発生し RESET 端子から “L” レベルを出力するとともに内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT>= “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を  $2^{21}/f_c$  [s] に設定し、暴走検出リセットを行う。

```
LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
LD      (WDTCR1), 00001101B ; WDTT ← 10, WDTOUT ← 1
WDT 検出  LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
時間 3/4 以内  :      ; WDTT 変更直前直後は必ずクリア; します)
               :
               :
WDT 検出  LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
時間 3/4 以内  :
               LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ

|                   |   |   |        |         |       |      |        |                  |
|-------------------|---|---|--------|---------|-------|------|--------|------------------|
| WDTCR1<br>(0034H) | 7 | 6 | 5      | 4       | 3     | 2    | 1      | 0                |
|                   | — | — | (ATAS) | (ATOUT) | WDTEN | WDTT | WDTOUT | (初期値: **11 1001) |

|        |                                   |                                            |                                 |                                 |                                 |            |
|--------|-----------------------------------|--------------------------------------------|---------------------------------|---------------------------------|---------------------------------|------------|
| WDTEN  | ウォッチドッグタイマの許可/禁止                  | 0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり<br>1: 許可 |                                 |                                 | Write only                      |            |
| WDTT   | ウォッチドッグタイマ<br>検出時間の設定<br>単位 : [s] |                                            | NORMAL1/2 モード                   |                                 | SLOW1/2<br>モード                  | Write only |
|        |                                   |                                            | DV7CK = 0                       | DV7CK = 1                       |                                 |            |
|        |                                   | 00                                         | 2 <sup>25</sup> /f <sub>c</sub> | 2 <sup>17</sup> /f <sub>s</sub> | 2 <sup>17</sup> /f <sub>s</sub> |            |
|        |                                   | 01                                         | 2 <sup>23</sup> /f <sub>c</sub> | 2 <sup>15</sup> /f <sub>s</sub> | 2 <sup>15</sup> f <sub>s</sub>  |            |
|        |                                   | 10                                         | 2 <sup>21</sup> f <sub>c</sub>  | 2 <sup>13</sup> /f <sub>s</sub> | 2 <sup>13</sup> f <sub>s</sub>  |            |
| 11     | 2 <sup>19</sup> /f <sub>c</sub>   | 2 <sup>11</sup> /f <sub>s</sub>            | 2 <sup>11</sup> /f <sub>s</sub> |                                 |                                 |            |
| WDTOUT | ウォッチドッグタイマ<br>出力の選択               | 0: 割り込み要求<br>1: リセット要求                     |                                 |                                 | Write only                      |            |

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2)  $f_c$ : 高周波クロック [Hz]    $f_s$ : 低周波クロック [Hz]   \*: Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「7.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2

|                   |   |   |   |   |   |   |   |   |                |
|-------------------|---|---|---|---|---|---|---|---|----------------|
| WDTCR2<br>(0035H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |                |
|                   |   |   |   |   |   |   |   |   | (初期値 : **** *) |

|        |                          |      |                                   |               |
|--------|--------------------------|------|-----------------------------------|---------------|
| WDTCR2 | ウォッチドッグタイマの<br>制御コード書き込み | 4EH: | ウォッチドッグタイマの2進カウンタのクリア<br>(クリアコード) | Write<br>only |
|        |                          | B1H: | ウォッチドッグタイマのディセーブル<br>(ディセーブルコード)  |               |
|        |                          | D2H: | アドレストラップ領域選択有効                    |               |
|        |                          | その他  | 無効                                |               |

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。  
注 2) \*: Don't care  
注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。  
注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

7.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。  
リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

7.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 7-1 ウォッチドッグタイマ検出時間 (例 :  $f_c = 16.0 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$  時)

| WDTT | ウォッチドッグタイマ検出時間 [S] |           |          |
|------|--------------------|-----------|----------|
|      | NORMAL 1/2 モード     |           | SLOW モード |
|      | DV7CK = 0          | DV7CK = 1 |          |
| 00   | 2.097              | 4         | 4        |
| 01   | 524.288 m          | 1         | 1        |
| 10   | 131.072 m          | 250 m     | 250 m    |
| 11   | 32.768 m           | 62.5 m    | 62.5 m   |

7.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 013FH      ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

7.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、RESET 端子から “L” レベルを出力するとともに内蔵ハードウェアはリセットされます。リセット時間は、最大 24/fc [s] (1.5 μs @ fc = 16.0 MHz) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

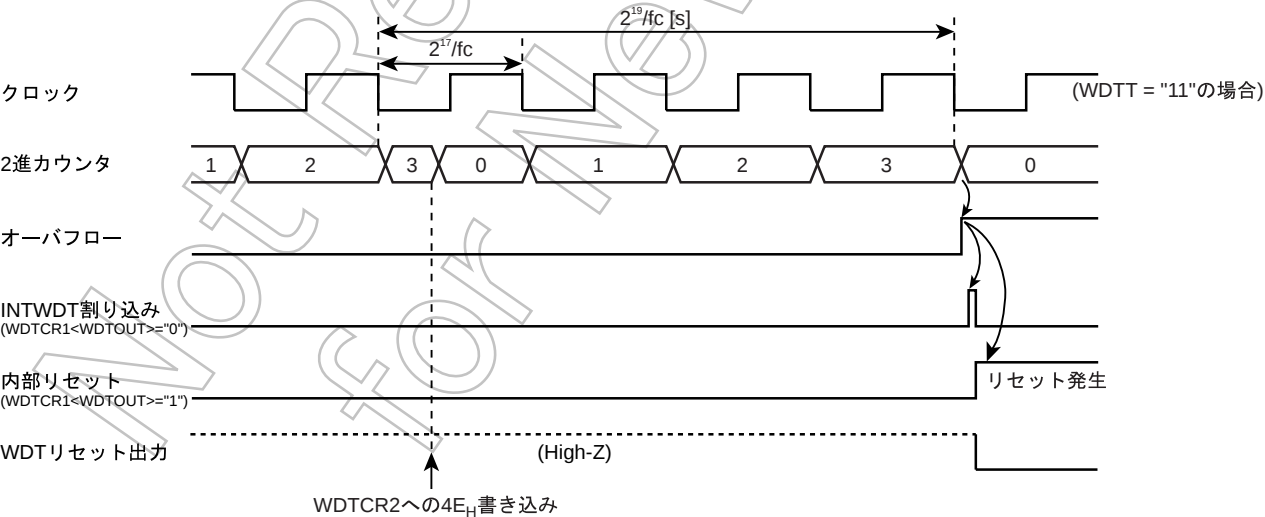


図 7-2 ウォッチドッグタイマ割り込み / リセット

## 7.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

### ウォッチドッグタイマ制御レジスタ 1

|                   |   |   |      |       |         |        |          |   |                  |
|-------------------|---|---|------|-------|---------|--------|----------|---|------------------|
| WDTCR1<br>(0034H) | 7 | 6 | 5    | 4     | 3       | 2      | 1        | 0 |                  |
|                   | — | — | ATAS | ATOUT | (WDTEN) | (WDTT) | (WDTOUT) |   | (初期値: **11 1001) |

|       |                      |                                                                                     |               |
|-------|----------------------|-------------------------------------------------------------------------------------|---------------|
| ATAS  | 内蔵 RAM 領域のアドレストラップ選択 | 0: アドレストラップ発生しない<br>1: アドレストラップ発生する<br>(ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む<br>必要あり) | Write<br>only |
| ATOUT | アドレストラップ発生時の動作選択     | 0: 割り込み要求<br>1: リセット要求                                                              |               |

### ウォッチドッグタイマ制御レジスタ 2

|                   |   |   |   |   |   |   |   |   |              |
|-------------------|---|---|---|---|---|---|---|---|--------------|
| WDTCR2<br>(0035H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |              |
|                   |   |   |   |   |   |   |   |   | (初期値: *****) |

|        |                                                     |                                                                                                                                          |               |
|--------|-----------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|---------------|
| WDTCR2 | ウォッチドッグタイマの制御コード書き込み<br>兼<br>アドレストラップ領域選択の制御コード書き込み | D2H: アドレストラップ領域選択有効<br>(ATRAP 設定コード)<br>4EH: ウォッチドッグタイマの 2 進カウンタのクリア<br>(クリアコード)<br>B1H: ウォッチドッグタイマのディセーブル<br>(WDT ディセーブルコード)<br>その他: 無効 | Write<br>only |
|        |                                                     |                                                                                                                                          |               |

#### 7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

#### 7.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

#### 7.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み ( アドレストラップ割り込みを含む ) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

#### 7.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするときアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、 $\overline{\text{RESET}}$  端子から “L” レベルを出力するとともに内蔵ハードウェアはリセットされます。リセット時間は、最大  $24/f_c$  [s] ( $1.5 \mu\text{s}$  @  $f_c = 16.0 \text{ MHz}$ ) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で  $24/f_c$  (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

# 第 8 章 18 ビットタイマカウンタ 1 (TC1)

## 8.1 構成

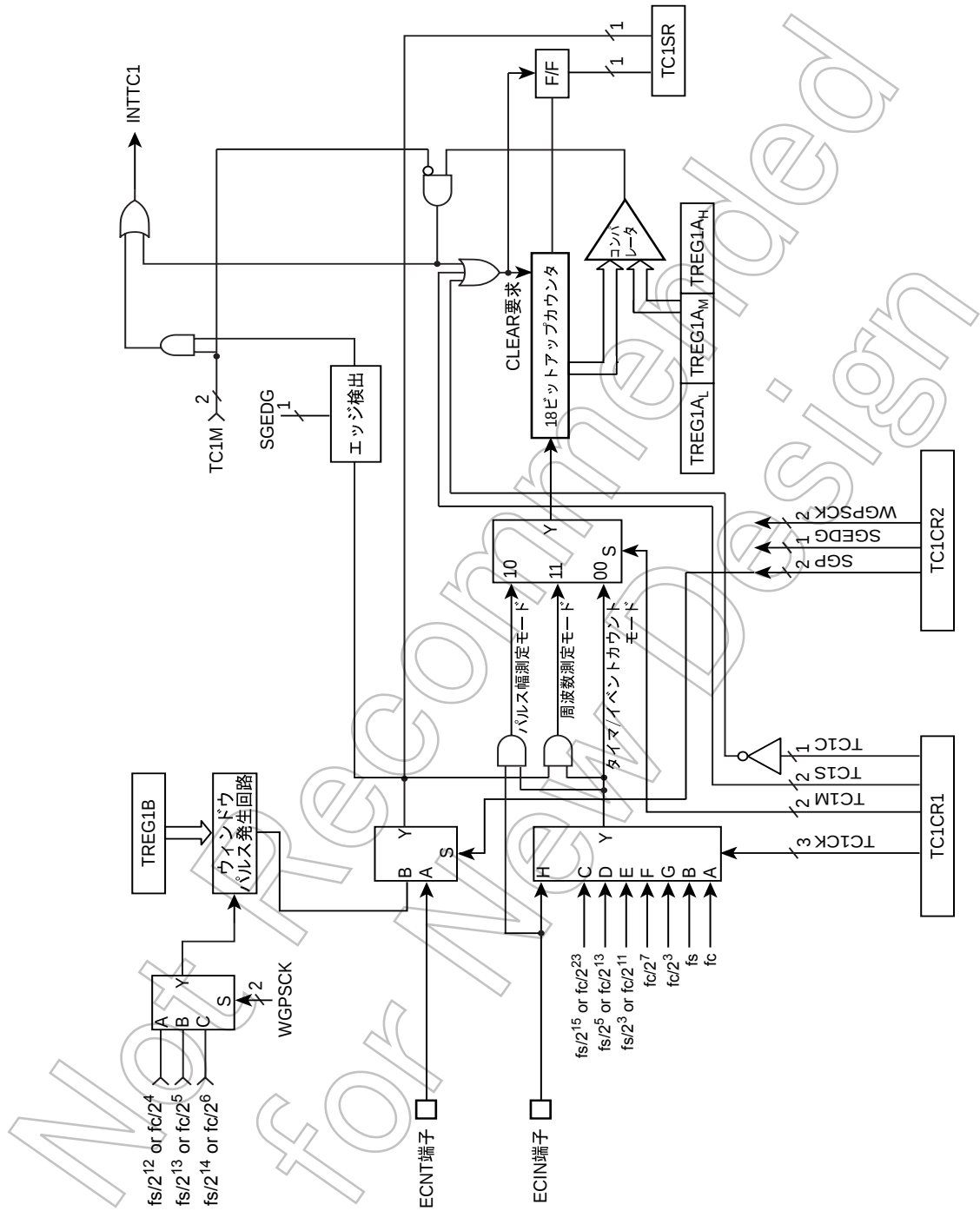


図 8-1 タイマカウンタ 1 (TC1)

8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR1 / TC1CR2), 18 ビットタイマレジスタ (TREG1A) および 8 ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ TREG1A

|                           |   |   |   |   |   |   |         |                 |
|---------------------------|---|---|---|---|---|---|---------|-----------------|
|                           | 7 | 6 | 5 | 4 | 3 | 2 | 1       | 0               |
| TREG1AH<br>(0012H)<br>R/W | — | — | — | — | — | — | TREG1AH | (初期値: **** *00) |

|                           |         |   |   |   |   |   |   |                  |
|---------------------------|---------|---|---|---|---|---|---|------------------|
|                           | 7       | 6 | 5 | 4 | 3 | 2 | 1 | 0                |
| TREG1AM<br>(0011H)<br>R/W | TREG1AM |   |   |   |   |   |   | (初期値: 0000 0000) |

|                           |         |   |   |   |   |   |   |                  |
|---------------------------|---------|---|---|---|---|---|---|------------------|
|                           | 7       | 6 | 5 | 4 | 3 | 2 | 1 | 0                |
| TREG1AL<br>(0010H)<br>R/W | TREG1AL |   |   |   |   |   |   | (初期値: 0000 0000) |

タイマレジスタ TREG1B

|                   |    |   |   |   |    |   |   |   |                  |
|-------------------|----|---|---|---|----|---|---|---|------------------|
|                   | 7  | 6 | 5 | 4 | 3  | 2 | 1 | 0 |                  |
| TREG1B<br>(0013H) | Ta |   |   |   | Tb |   |   |   | (初期値: 0000 0000) |

|    |                               | WGPSCK | NORMAL1/2, IDLE1/2 モード       |                           | SLOW1/2,<br>SLEEP1/2 モード  | R/W |
|----|-------------------------------|--------|------------------------------|---------------------------|---------------------------|-----|
|    |                               |        | DV7CK=0                      | DV7CK=1                   |                           |     |
| Ta | ウィンドウゲートパルスの "H" レベル<br>期間の設定 | 00     | $(16 - Ta) \times 2^{12}/fc$ | $(16 - Ta) \times 2^4/fs$ | $(16 - Ta) \times 2^4/fs$ |     |
|    |                               | 01     | $(16 - Ta) \times 2^{13}/fc$ | $(16 - Ta) \times 2^5/fs$ | $(16 - Ta) \times 2^5/fs$ |     |
|    |                               | 10     | $(16 - Ta) \times 2^{14}/fc$ | $(16 - Ta) \times 2^6/fs$ | $(16 - Ta) \times 2^6/fs$ |     |
| Tb | ウィンドウゲートパルスの "L" レベル<br>期間の設定 | 00     | $(16 - Tb) \times 2^{12}/fc$ | $(16 - Tb) \times 2^4/fs$ | $(16 - Tb) \times 2^4/fs$ |     |
|    |                               | 01     | $(16 - Tb) \times 2^{13}/fc$ | $(16 - Tb) \times 2^5/fs$ | $(16 - Tb) \times 2^5/fs$ |     |
|    |                               | 10     | $(16 - Tb) \times 2^{14}/fc$ | $(16 - Tb) \times 2^6/fs$ | $(16 - Tb) \times 2^6/fs$ |     |

タイマカウンタ制御レジスタ 1

|                   |      |      |       |   |   |      |   |   |                  |
|-------------------|------|------|-------|---|---|------|---|---|------------------|
|                   | 7    | 6    | 5     | 4 | 3 | 2    | 1 | 0 |                  |
| TC1CR1<br>(0014H) | TC1C | TC1S | TC1CK |   |   | TC1M |   |   | (初期値: 1000 1000) |

|       |                       |                                                                                    |     |
|-------|-----------------------|------------------------------------------------------------------------------------|-----|
| TC1C  | カウンタ / オーバフローフラグクリア要求 | 0: カウンタ / オーバフローフラグクリア要求<br>(クリア後、自動的に "1" にセットされます)<br>1: カウンタ / オーバフローフラグをクリアしない | R/W |
| TC1S  | タイマカウンタ 1 のスタート制御     | 00: ストップ & カウンタクリア (オーバフローフラグもクリアされます)<br>10: スタート<br>*1: Reserved                 | R/W |
| TC1CK | タイマカウンタ 1 のソースクロックの選択 | NORMAL 1/2, IDLE 1/2 モード                                                           | R/W |
|       |                       | DV7CK="0" DV7CK="1"                                                                |     |
|       |                       | 000: fc fc                                                                         |     |
|       |                       | 001: fs fs                                                                         |     |
|       |                       | 010: $fc/2^{23}$ $fs/2^{15}$                                                       |     |
|       |                       | 011: $fc/2^{13}$ $fs/2^5$                                                          |     |
|       |                       | 100: $fc/2^{11}$ $fs/2^3$                                                          |     |
|       |                       | 101: $fc/2^7$ $fs/2^3$                                                             |     |
|       |                       | 110: $fc/2^3$ $fs/2^3$                                                             |     |
|       |                       | 111: 外部クロック (ECIN 端子入力)                                                            |     |
| TC1M  | タイマカウンタ 1 の動作モードの選択   | 00: タイマ / イベントカウンタモード<br>01: Reserved<br>10: パルス幅測定モード<br>11: 周波数測定モード             | R/W |

- 注 1) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] \*: Don't care
- 注 2) タイマレジスタの下位側 (TREG1AL, TREG1AM) に書き込むと上位側 (TREG1AH) への書き込みが終わるまで、一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 マシンサイクル以内 (すなわち命令実行中) の一致検出も無視されます。
- 注 3) モード、ソースクロック、エッジ (選択) は、停止 (TC1CR1<TC1S> = 00) 状態で設定してください。
- 注 4) ソースクロックに fc を選択できるのは、タイマモード (SLOW 時) とパルス幅測定モード (NORMAL 1/2 または IDLE 1/2 時) だけです。
- 注 5) タイマレジスタ (TREG1A) にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され、TREG1A に書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウンタが停止している状態でリードしてください。
- 注 6) タイマレジスタの設定は TREG1A  $\geq 1$  で使用してください。
- 注 7) タイマモード / パルス幅測定モードで使用する場合、ソースクロックの選択 (TC1CR1<TC1CK>) は内部クロックに設定してください。
- 注 8) イベントカウンタモードで使用する場合、ソースクロックの選択 (TC1CR1<TC1CK>) は外部クロックに設定してください。
- 注 9) タイマレジスタ (TREG1A) は書き込み値、読み出し値が異なりますのでリードモディファイライト命令ではアクセスしないでください。
- 注 10) SLOW モード / SLEEP モードでは  $fc/2^7$ ,  $fc/2^3$  はソースクロックとして選択できません。
- 注 11) TREG1AH の bit2~7 は常に "0" が読み出されます。("1" は書き込めません)。

## タイマカウンタ 1 制御レジスタ 2

|                   |     |     |       |        |     |     |                  |   |  |
|-------------------|-----|-----|-------|--------|-----|-----|------------------|---|--|
|                   | 7   | 6   | 5     | 4      | 3   | 2   | 1                | 0 |  |
| TC1CR2<br>(0015H) | "0" | SGP | SGEDG | WGSPCK | "1" | "0" | (初期値: *000 00**) |   |  |

|        |                           |                                                                                  |     |
|--------|---------------------------|----------------------------------------------------------------------------------|-----|
| SGP    | ウィンドウゲートパルスの選択            | 00: ECNT 入力<br>01: 内部ウィンドウゲートパルス (TREG1B)<br>10: Reserved<br>11: Reserved        | R/W |
| SGEDG  | ウィンドウゲートパルス<br>割り込みエッジの選択 | 0: 立ち下がりエッジで割り込み<br>1: 立ち下がり / 立ち上がり両エッジで割り込み                                    |     |
| WGPSCK | ウィンドウゲートパルス<br>ソースクロックの選択 | NORMAL1/2,IDLE1/2 modes                                                          | R/W |
|        |                           | DV7CK="0" DV7CK="1"                                                              |     |
|        |                           | 00: 2 <sup>12</sup> /fc 2 <sup>4</sup> /fs 2 <sup>4</sup> /fs 2 <sup>4</sup> /fs |     |
|        |                           | 01: 2 <sup>13</sup> /fc 2 <sup>5</sup> /fs 2 <sup>5</sup> /fs 2 <sup>5</sup> /fs |     |
|        |                           | 10: 2 <sup>14</sup> /fc 2 <sup>6</sup> /fs 2 <sup>6</sup> /fs 2 <sup>6</sup> /fs |     |
|        |                           | 11: Reserved Reserved Reserved Reserved                                          |     |

注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] \*: Don't care  
注 2) TC1CR2 の設定はタイマカウンタ停止状態 (TC1CR1<TC1S> = 00)で行ってください。  
注 3) TC1CR2 の 0,7 ビット目には必ず "0" を、TC1CR2 の 1 ビット目には必ず "1" を設定してください。

タイマカウンタ 1 ステータスレジスタ

|                  |      |       |     |     |     |     |     |     |                   |
|------------------|------|-------|-----|-----|-----|-----|-----|-----|-------------------|
|                  | 7    | 6     | 5   | 4   | 3   | 2   | 1   | 0   |                   |
| TC1SR<br>(0016H) | HECF | HEOVF | "0" | "0" | "0" | "0" | "0" | "0" | (初期値 : 0000 0000) |

|       |               |                                                 |              |
|-------|---------------|-------------------------------------------------|--------------|
| HECF  | 動作状態モニタ       | 0: 停止 (Tb の期間) またはディセーブル<br>1: カウント動作中 (Ta の期間) | Read<br>only |
| HEOVF | カウンタオーバフローモニタ | 0: オーバフロー未検出<br>1: オーバフロー状態                     |              |

## 8.3 機能

タイマカウンタ 1 には、4 つの動作モードがあります。また、SLOW モードから NORMAL2 モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ 1 のタイマモードを使用します。

### 8.3.1 タイマモード

内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TREG1A) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。カウントアップは、アップカウンタがクリアされた後も続きます。

表 8-1 タイマカウンタ 1 のソースクロック (内部クロック)

| ソースクロック                  |                          |                          |                          | 分解能                    |                            | 最大設定時間                 |                              |
|--------------------------|--------------------------|--------------------------|--------------------------|------------------------|----------------------------|------------------------|------------------------------|
| NORMAL1/2, IDLE1/2 モード   |                          | SLOW モード                 | SLEEP モード                | $f_c = 16 \text{ MHz}$ | $f_s = 32.768 \text{ kHz}$ | $f_c = 16 \text{ MHz}$ | $f_s = 32.768 \text{ kHz 時}$ |
| DV7CK = 0                | DV7CK = 1                |                          |                          |                        |                            |                        |                              |
| $f_c/2^{23} [\text{Hz}]$ | $f_s/2^{15} [\text{Hz}]$ | $f_s/2^{15} [\text{Hz}]$ | $f_s/2^{15} [\text{Hz}]$ | 0.52 s                 | 1 s                        | 38.2 h                 | 72.8 h                       |
| $f_c/2^{13}$             | $f_s/2^5$                | $f_s/2^5$                | $f_s/2^5$                | 512 $\mu\text{s}$      | 0.98 ms                    | 2.2 min                | 4.3 min                      |
| $f_c/2^{11}$             | $f_s/2^3$                | $f_s/2^3$                | $f_s/2^3$                | 128 $\mu\text{s}$      | 244 $\mu\text{s}$          | 0.6 min                | 1.07 min                     |
| $f_c/2^7$                | $f_c/2^7$                | —                        | —                        | 8 $\mu\text{s}$        | —                          | 2.1 s                  | —                            |
| $f_c/2^3$                | $f_c/2^3$                | —                        | —                        | 0.5 $\mu\text{s}$      | —                          | 131.1 ms               | —                            |
| $f_c$                    | $f_c$                    | $f_c$ (注)                | —                        | 62.5 ns                | —                          | 16.4 ms                | —                            |
| $f_s$                    | $f_s$                    | —                        | —                        | —                      | 30.5 $\mu\text{s}$         | —                      | 8 s                          |

注) SLOW モードでソースクロックに  $f_c$  を選択した場合は、TREG1A の下位 11 ビットは無視され、上位 7 ビットの一致で割り込みが発生します。

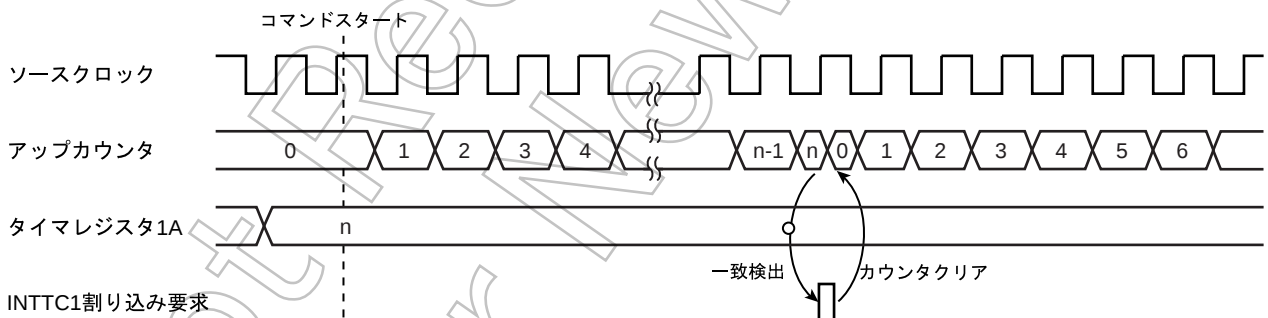


図 8-2 タイマモードタイミングチャート

### 8.3.2 イベントカウンタモード

ECIN 端子入力の立ち下がりエッジでカウントアップするモードです。このモードを使用する場合は TC1CR1<TC1CK> を外部クロックに設定してください。

アップカウンタの値と TREG1A の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタの内容はクリアされます。カウンタクリア後も ECIN 端子入力のエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4 [\text{Hz}]$  (NORMAL1/2 または IDLE1/2 モード時)、 $f_s/2^4 [\text{Hz}]$  (SLOW, SLEEP モード時) で、“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

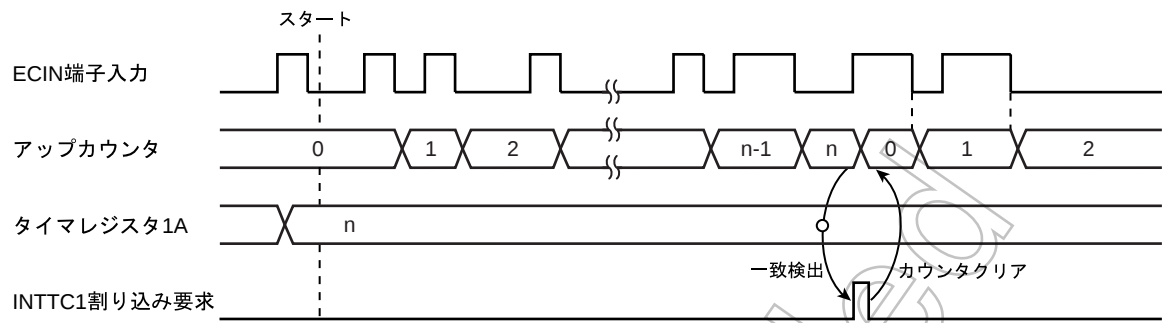


図 8-3 イベントカウンタモードタイミングチャート

8.3.3 パルス幅測定モード

ECIN 端子入力 ( ウィンドウパルス ) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは、TC1CR1<TC1CK> で選択します。このモードを使用する場合は、TC1CR1<TC1CK> を適切な内部クロックに設定してください。

ECIN 端子入力がウィンドウパルスの立ち下がりエッジもしくは立ち上がり / 立ち下がりの両エッジ (TC1CR2<SGEDG> により選択可能 ) を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、カウントが停止している状態 (ECIN 端子が “L” の期間 ) で行い、その後 TC1CR1<TC1C> によりカウンタをクリアしてください ( 通常これらは割り込みサービスプログラムで実行してください )。TC1CR1<TC1C> によってカウンタがクリアされない場合、前回停止したカウント値よりカウントアップを再開します。TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF> は “1” にセットされます。なお TC1SR<HEOVF> は、TC1CR1<TC1C> によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

注 ) パルス幅測定モードにおいて ECIN 端子入力が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1CR1<TC1S>) を “00” (ストップ & カウンタクリア ) に設定すると INTTC1 割り込み要求が発生します。従ってタイマカウンタを停止するときは、以下のような手順で INTTC1 割り込みラッチを “0” にクリアしてください。

( プログラム例 )

```
TCISTOP :
|
DI ; IMF クリア
CLR (EIRH). 0 ; EIRH のビット 0 をクリア
LD (TC1CR1), 00011010B ; タイマ停止
LD (ILH), 11111110B ; ILH のビット 0 をクリア
SET (EIRH). 0 ; EIRH のビット 0 をセット
EI ; IMF セット
|
```

注 1) パルス幅測定モードにおいてウィンドウゲートパルスの割り込みエッジの選択 (TC1CR2<SGEDG>) が両エッジかつ ECIN 端子が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1CR1<TC1S>) を “10” (スタート) に設定すると INTTC1 割り込みが発生します。

注 2) パルス幅測定モードでは、動作状態モニタ (TC1SR<HECF>) を使用できません。

注 3) アップカウンタは (ECIN 端子入力と内部クロックの ) 論理積の立ち下がりエッジでカウントアップしますので、内部クロックが “H” レベルの期間に ECIN 端子の入力が立ち下がるとアップカウンタが 1 進みます。

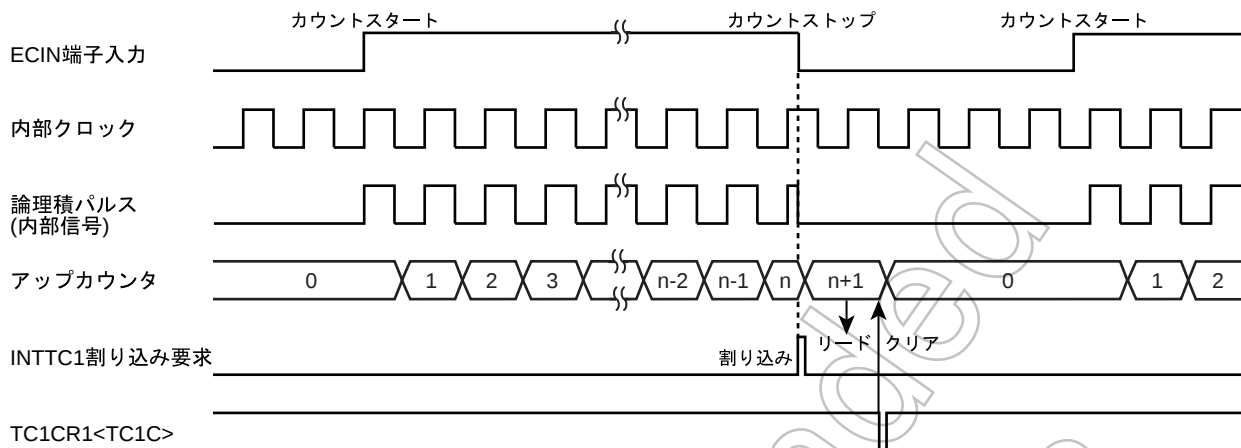


図 8-4 パルス幅測定モードタイミングチャート

### 8.3.4 周波数測定モード

ECIN 端子入力パルスの周波数を測定するモードです。このモードを使用する場合、TC1CR1<TC1CK> は外部クロックに設定してください。

TC1CR2<SGP> で選択されたウィンドウゲートパルスが “H” レベルの期間、ECIN 端子の入力パルスの立ち下りエッジをカウントします。ウィンドウゲートパルスとして ECNT 端子入力を使用する場合は TC1CR2<SGP> を “00” にセットしてください。

ウィンドウゲートパルスの立ち下りエッジもしくは立ち上がり / 立ち下り両エッジ (TC1CR2<SGEDG> により選択可能) を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ウィンドウゲートパルスが “L” の期間) に行い、その後 TC1CR1<TC1C> によってカウンタをクリアしてください。カウンタをクリアしない場合、前回停止したカウント値よりカウントアップを再開します。

なお、ウィンドウパルスの状態はステータスレジスタの TC1SR<HECF> によりモニタできます。

TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF> は “1” にセットされます。なお TC1SR<HEOVF> は、TC1CR1<TC1C> によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

内部ウィンドウゲートパルスを選択した場合ウィンドウゲートパルスの設定は以下のようになります。

表 8-2 内部ウィンドウゲートパルス設定

|    |                           | WGSPCK | NORMAL1/2, IDLE1/2 モード       |                           | SLOW1/2, SLEEP1/2 モード     |     |
|----|---------------------------|--------|------------------------------|---------------------------|---------------------------|-----|
|    |                           |        | DV7CK=0                      | DV7CK=1                   |                           |     |
| Ta | ウィンドウゲートパルスの “H” レベル期間の設定 | 00     | $(16 - Ta) \times 2^{12}/fc$ | $(16 - Ta) \times 2^4/fs$ | $(16 - Ta) \times 2^4/fs$ | R/W |
|    |                           | 01     | $(16 - Ta) \times 2^{13}/fc$ | $(16 - Ta) \times 2^5/fs$ | $(16 - Ta) \times 2^5/fs$ |     |
|    |                           | 10     | $(16 - Ta) \times 2^{14}/fc$ | $(16 - Ta) \times 2^6/fs$ | $(16 - Ta) \times 2^6/fs$ |     |
| Tb | ウィンドウゲートパルスの “L” レベル期間の設定 | 00     | $(16 - Tb) \times 2^{12}/fc$ | $(16 - Tb) \times 2^4/fs$ | $(16 - Tb) \times 2^4/fs$ |     |
|    |                           | 01     | $(16 - Tb) \times 2^{13}/fc$ | $(16 - Tb) \times 2^5/fs$ | $(16 - Tb) \times 2^5/fs$ |     |
|    |                           | 10     | $(16 - Tb) \times 2^{14}/fc$ | $(16 - Tb) \times 2^6/fs$ | $(16 - Tb) \times 2^6/fs$ |     |

内部ウィンドウゲートパルスはカウントを行う時間すなわち “H” レベル期間 (Ta) とカウントを停止する時間すなわち “L” レベル期間 (Tb) から構成されそれぞれ TREG1B により独立に設定できます。従って、一周期は Ta + Tb となります。

- 注 1) 内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック (TC1CR2<WGPSCK>) の 1 周期分遅れることがあります。
- 注 2) 内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくは Tb 期間中に行ってください。なお、Tb 期間中に Tb を書き替えた場合、次の Tb の幅から反映されます。
- 注 3) アップカウンタは (ECIN 端子入力とウィンドウゲートパルスの ) 論理積パルスの立ち下がりエッジによってカウントアップしますので、ECIN 端子入力が "H" レベルの期間にウィンドウゲートパルスが立ち下がるとアップカウンタは 1 進みます。

表 8-3 Ta, Tb の設定 (WGPSCK = 10, fc = 16 MHz)

| 設定値 n | 設定時間     | 設定値 | 設定時間   |
|-------|----------|-----|--------|
| 0     | 16.38 ms | 8   | 8.19ms |
| 1     | 15.36 ms | 9   | 7.17ms |
| 2     | 14.34 ms | A   | 6.14ms |
| 3     | 13.31 ms | B   | 5.12ms |
| 4     | 12.29 ms | C   | 4.10ms |
| 5     | 11.26 ms | D   | 3.07ms |
| 6     | 10.24 ms | E   | 2.05ms |
| 7     | 9.22 ms  | F   | 1.02ms |

表 8-4 Ta, Tb の設定 (WGPSCK = 10, fs = 32.768 kHz)

| 設定値 n | 設定時間     | 設定値 | 設定時間    |
|-------|----------|-----|---------|
| 0     | 31.25 ms | 8   | 15.63ms |
| 1     | 29.30 ms | 9   | 13.67ms |
| 2     | 27.34 ms | A   | 11.72ms |
| 3     | 25.39 ms | B   | 9.77ms  |
| 4     | 23.44 ms | C   | 7.81ms  |
| 5     | 21.48 ms | D   | 5.86ms  |
| 6     | 19.53 ms | E   | 3.91ms  |
| 7     | 17.58 ms | F   | 1.95ms  |

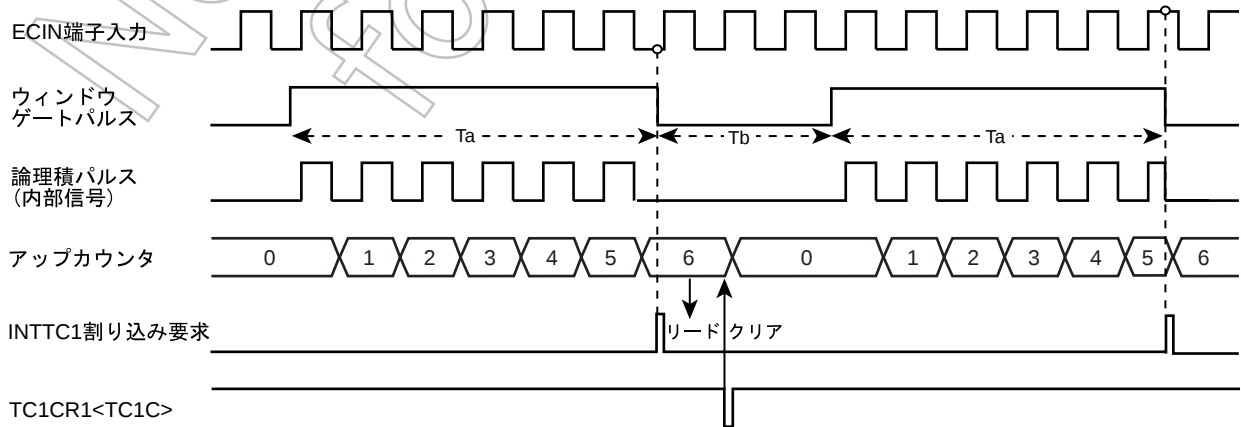


図 8-5 周波数測定モードタイミングチャート (ゲートパルス立ち下り割り込みの場合)



9.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ

|                          |   |   |   |   |   |   |   |   |                  |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| TTREG3<br>(001CH)<br>R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
|                          |   |   |   |   |   |   |   |   |                  |

|                          |   |   |   |   |   |   |   |   |                  |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| PWREG3<br>(002CH)<br>R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
|                          |   |   |   |   |   |   |   |   |                  |

- 注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。  
注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ

|                  |      |       |   |   |      |      |   |   |                  |
|------------------|------|-------|---|---|------|------|---|---|------------------|
| TC3CR<br>(0018H) | 7    | 6     | 5 | 4 | 3    | 2    | 1 | 0 | (初期値: 0000 0000) |
|                  | TFF3 | TC3CK |   |   | TC3S | TC3M |   |   |                  |

|       |               |                                                                                                                                                                  |                          |                   |                              |     |
|-------|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------|-------------------|------------------------------|-----|
| TFF3  | タイマ F/F3 の制御  | 0: クリア<br>1: セット                                                                                                                                                 |                          |                   |                              | R/W |
| TC3CK | 動作クロック選択 [Hz] |                                                                                                                                                                  | NORMAL 1/2, IDLE 1/2 モード |                   | SLOW 1/2<br>SLEEP 1/2<br>モード | R/W |
|       |               |                                                                                                                                                                  | DV7CK = 0                | DV7CK = 1         |                              |     |
|       |               | 000                                                                                                                                                              | fc/2 <sup>11</sup>       | fs/2 <sup>3</sup> | fs/2 <sup>3</sup>            |     |
|       |               | 001                                                                                                                                                              | fc/2 <sup>7</sup>        | fc/2 <sup>7</sup> | —                            |     |
|       |               | 010                                                                                                                                                              | fc/2 <sup>6</sup>        | fc/2 <sup>5</sup> | —                            |     |
|       |               | 011                                                                                                                                                              | fc/2 <sup>3</sup>        | fc/2 <sup>3</sup> | —                            |     |
|       |               | 100                                                                                                                                                              | fs                       | fs                | fs                           |     |
|       |               | 101                                                                                                                                                              | fc/2                     | fc/2              | —                            |     |
|       |               | 110                                                                                                                                                              | fc                       | fc                | fc (注 8)                     |     |
|       |               | 111                                                                                                                                                              | TC3 端子入力                 |                   |                              |     |
| TC3S  | タイマスタート制御     | 0: 動作停止 & カウンタクリア<br>1: 動作開始                                                                                                                                     |                          |                   |                              | R/W |
| TC3M  | 動作モード選択       | 000: 8 ビットタイマ / イベントカウンタモード<br>001: 8 ビットプログラマブルデバイダ出力 (PDO) モード<br>010: 8 ビットパルス幅変調出力 (PWM) モード<br>011: 16 ビットモード<br>(各モード選択は TC4M にて設定してください)<br>1**: Reserved |                          |                   |                              | R/W |

- 注 1) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz]  
注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。  
注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。  
ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。  
注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> に行い、TC3M は "011" に固定してください。  
注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>、TC4CR<TFF4> にて設定してください。  
注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。

注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック  $f_c$  は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended  
for New Design

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ

|                          |   |   |   |   |   |   |   |   |                  |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| TTREG4<br>(001DH)<br>R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
|                          |   |   |   |   |   |   |   |   |                  |
| PWREG4<br>(002DH)<br>R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
|                          |   |   |   |   |   |   |   |   |                  |

- 注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。  
注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ

|                  |      |   |       |   |      |   |      |   |                  |
|------------------|------|---|-------|---|------|---|------|---|------------------|
| TC4CR<br>(0019H) | 7    | 6 | 5     | 4 | 3    | 2 | 1    | 0 | (初期値: 0000 0000) |
|                  | TFF4 |   | TC4CK |   | TC4S |   | TC4M |   |                  |

|       |               |                                                                                                                                                                                                                              |                    |                        |                   |                            |     |
|-------|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|------------------------|-------------------|----------------------------|-----|
| TFF4  | タイマ F/F4 の制御  | 0: クリア<br>1: セット                                                                                                                                                                                                             |                    |                        |                   |                            | R/W |
| TC4CK | 動作クロック選択 [Hz] |                                                                                                                                                                                                                              |                    | NORMAL1/2, IDLE1/2 モード |                   | SLOW1/2<br>SLEEP1/2<br>モード | R/W |
|       |               |                                                                                                                                                                                                                              |                    | DV7CK = 0              | DV7CK = 1         |                            |     |
|       |               | 000                                                                                                                                                                                                                          | fc/2 <sup>11</sup> | fs/2 <sup>3</sup>      | fs/2 <sup>3</sup> |                            |     |
|       |               | 001                                                                                                                                                                                                                          | fc/2 <sup>7</sup>  | fc/2 <sup>7</sup>      | —                 |                            |     |
|       |               | 010                                                                                                                                                                                                                          | fc/2 <sup>5</sup>  | fc/2 <sup>5</sup>      | —                 |                            |     |
|       |               | 011                                                                                                                                                                                                                          | fc/2 <sup>3</sup>  | fc/2 <sup>3</sup>      | —                 |                            |     |
|       |               | 100                                                                                                                                                                                                                          | fs                 | fs                     | fs                |                            |     |
|       |               | 101                                                                                                                                                                                                                          | fc/2               | fc/2                   | —                 |                            |     |
|       |               | 110                                                                                                                                                                                                                          | fc                 | fc                     | —                 |                            |     |
|       |               | 111                                                                                                                                                                                                                          | TC4 端子入力           |                        |                   |                            |     |
| TC4S  | タイマスタート制御     | 0: 動作停止 & カウンタクリア<br>1: 動作開始                                                                                                                                                                                                 |                    |                        |                   |                            | R/W |
| TC4M  | 動作モード選択       | 000: 8ビットタイマ / イベントカウンタモード<br>001: 8ビットプログラマブルデバイダ出力 (PDO) モード<br>010: 8ビットパルス幅変調出力 (PWM) モード<br>011: Reserved<br>100: 16ビットタイマ / イベントカウンタモード<br>101: ウォーミングアップカウンタモード<br>110: 16ビットパルス幅変調出力 (PWM) モード<br>111: 16ビット PPG モード |                    |                        |                   |                            | R/W |

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]  
注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。  
注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。  
ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。  
注 4) TC4M = 1\*\* のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフ  
ロー信号になります。  
注 5) 16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に  
設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

Not Recommended  
for New Design

表 9-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

| 動作モード         | $fc/2^{11}$<br>or<br>$fs/2^3$ | $fc/2^7$ | $fc/2^5$ | $fc/2^3$ | $fs$ | $fc/2$ | $fc$ | TC3<br>端子<br>入力 | TC4<br>端子<br>入力 |
|---------------|-------------------------------|----------|----------|----------|------|--------|------|-----------------|-----------------|
| 8ビットタイマ       | ○                             | ○        | ○        | ○        | —    | —      | —    | —               | —               |
| 8ビットイベントカウンタ  | —                             | —        | —        | —        | —    | —      | —    | ○               | ○               |
| 8ビットPDO       | ○                             | ○        | ○        | ○        | —    | —      | —    | —               | —               |
| 8ビットPWM       | ○                             | ○        | ○        | ○        | ○    | ○      | ○    | —               | —               |
| 16ビットタイマ      | ○                             | ○        | ○        | ○        | —    | —      | —    | —               | —               |
| 16ビットイベントカウンタ | —                             | —        | —        | —        | —    | —      | —    | ○               | —               |
| ウォーミングアップカウンタ | —                             | —        | —        | —        | ○    | —      | —    | —               | —               |
| 16ビットPWM      | ○                             | ○        | ○        | ○        | ○    | ○      | ○    | ○               | —               |
| 16ビットPPG      | ○                             | ○        | ○        | ○        | —    | —      | —    | ○               | —               |

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

| 動作モード         | $fc/2^{11}$<br>or<br>$fs/2^3$ | $fc/2^7$ | $fc/2^5$ | $fc/2^3$ | $fs$ | $fc/2$ | $fc$ | TC3<br>端子<br>入力 | TC4<br>端子<br>入力 |
|---------------|-------------------------------|----------|----------|----------|------|--------|------|-----------------|-----------------|
| 8ビットタイマ       | ○                             | —        | —        | —        | —    | —      | —    | —               | —               |
| 8ビットイベントカウンタ  | —                             | —        | —        | —        | —    | —      | —    | ○               | ○               |
| 8ビットPDO       | ○                             | —        | —        | —        | —    | —      | —    | —               | —               |
| 8ビットPWM       | ○                             | —        | —        | —        | ○    | —      | —    | —               | —               |
| 16ビットタイマ      | ○                             | —        | —        | —        | —    | —      | —    | —               | —               |
| 16ビットイベントカウンタ | —                             | —        | —        | —        | —    | —      | —    | ○               | —               |
| ウォーミングアップカウンタ | —                             | —        | —        | —        | —    | —      | ○    | —               | —               |
| 16ビットPWM      | ○                             | —        | —        | —        | ○    | —      | —    | ○               | —               |
| 16ビットPPG      | ○                             | —        | —        | —        | —    | —      | —    | ○               | —               |

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-3 比較用レジスタへの設定値に関する制約事項

| 動作モード             | レジスタへの設定値                                                                        |
|-------------------|----------------------------------------------------------------------------------|
| 8ビットタイマ/イベントカウンタ  | $1 \leq (TTREGn) \leq 255$                                                       |
| 8ビットPDO           | $1 \leq (TTREGn) \leq 255$                                                       |
| 8ビットPWM           | $2 \leq (PWREGn) \leq 254$                                                       |
| 16ビットタイマ/イベントカウンタ | $1 \leq (TTREG4, 3) \leq 65535$                                                  |
| ウォーミングアップカウンタ     | $256 \leq (TTREG4, 3) \leq 65535$                                                |
| 16ビットPWM          | $2 \leq (PWREG4, 3) \leq 65534$                                                  |
| 16ビットPPG          | $1 \leq (PWREG4, 3) < (TTREG4, 3) \leq 65535$ かつ $(PWREG4, 3) + 1 < (TTREG4, 3)$ |

注)  $n = 3 \sim 4$

Not Recommended  
for New Design

9.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

9.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ  $j$  (TTREG $j$ ) 設定値が一致すると INTTC $j$  割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC $j$ CR<TFF $j$ >を“0”に固定してください。固定されない場合は、PDO $j$ /PWM $j$ /PPG $j$  端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG $j$  の設定値を変更しないでください。タイマモード時、TTREG $j$  はシフトレジスタ構成となりませんので、TTREG $j$  への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG $i$  を書き替えると想定している動作を得られない場合があります。
- 注 3)  $j = 3, 4$

表 9-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

| ソースクロック                 |                        |                        | 分解能               |                | 最大設定時間            |         |
|-------------------------|------------------------|------------------------|-------------------|----------------|-------------------|---------|
| NORMAL1/2, IDLE1/2 モード  |                        | SLOW1/2, SLEEP1/2 モード  | fc = 16 MHz 時     |                | fs = 32.768 kHz 時 |         |
| DV7CK = 0               | DV7CK = 1              |                        | fs = 32.768 kHz 時 |                | fs = 32.768 kHz 時 |         |
| fc/2 <sup>11</sup> [Hz] | fs/2 <sup>3</sup> [Hz] | fs/2 <sup>3</sup> [Hz] | 128 $\mu$ s       | 244.14 $\mu$ s | 32.6 ms           | 62.3 ms |
| fc/2 <sup>7</sup>       | fc/2 <sup>7</sup>      | —                      | 8 $\mu$ s         | —              | 2.0 ms            | —       |
| fc/2 <sup>5</sup>       | fc/2 <sup>5</sup>      | —                      | 2 $\mu$ s         | —              | 510 $\mu$ s       | —       |
| fc/2 <sup>3</sup>       | fc/2 <sup>3</sup>      | —                      | 500 ns            | —              | 127.5 $\mu$ s     | —       |

(プログラム例) ソースクロック  $fc/2^7$  [Hz] でタイマモードにセットし、80  $\mu$ s 後に割り込みを発生させる (タイマカウンタ 4、 $fc = 16.0$  MHz 時)

```
LD      (TTREG4), 0AH      ; タイマレジスタの設定 (80  $\mu$ s  $\div$  27/fc = 0AH)
DI
SET     (EIRH), 3          ; INTTC4 割り込みを許可
EI
LD      (TC4CR), 00010000B ; 動作クロックを fc/27, 8 ビットタイマモードに設定
LD      (TC4CR), 00011000B ; TC4 スタート
```

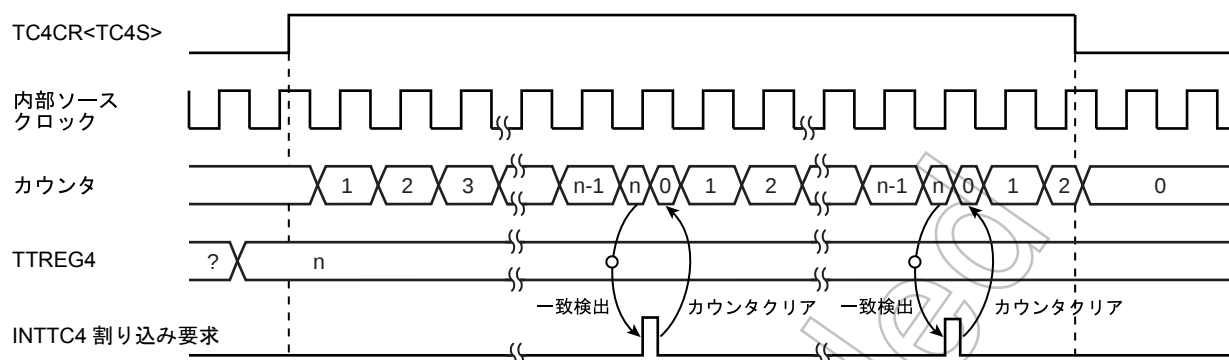


図 9-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

### 9.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TCj 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREGj 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TCj 端子入力の立ち下がりエッジごとにカウントアップします。TCj 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で  $f_c/2^4$  [Hz]、SLOW1,2 または SLEEP1,2 モード時で  $f_s/2^4$  [Hz] となります。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj}/\overline{PWMj}/\overline{PPGj}$  端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

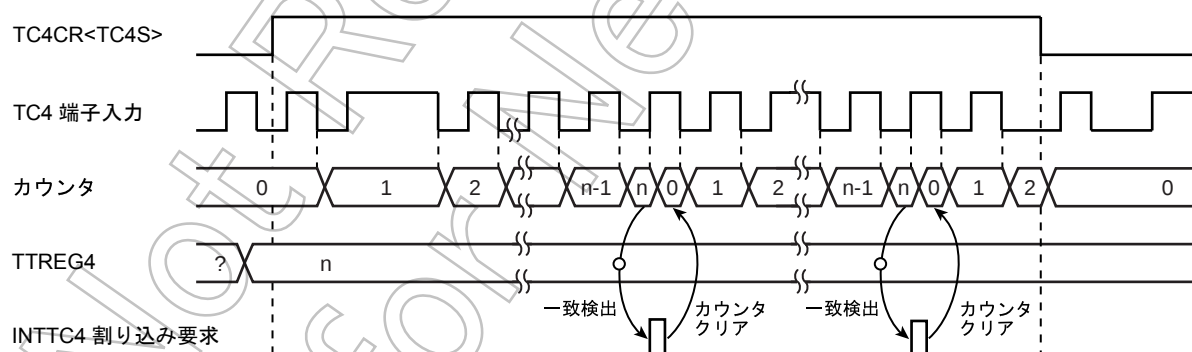


図 9-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

### 9.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは  $\overline{PDOj}$  端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREGj との一致ごとにタイマ F/Fj 値を反転しアップカウンタをクリアします。このとき INTTCj 割り込み要求が発生します。 $\overline{PDOj}$  端子からはタイマ F/Fj 値の反転レベルが出力されます。なお、タイマ F/Fj 値は TCjCR<TFFj> によって任意の値を設定することができます。リセット時、タイマ F/Fj 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ( $f_c = 16.0 \text{ MHz}$ )

| ポートを設定 |                    |                                        |
|--------|--------------------|----------------------------------------|
| LD     | (TTREG4), 3DH      | ; $1/1024 \div 2^7/f_c \div 2 = 3DH$   |
| LD     | (TC4CR), 00010001B | ; 動作クロックを $f_c/2^7$ , 8 ビット PDO モードに設定 |
| LD     | (TC4CR), 00011001B | ; TC4 スタート                             |

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$  端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。  
例：タイマカウンタ停止時に  $\overline{\text{PDOj}}$  端子を “H” レベルに固定する。  
CLR (TCjCR).3; タイマ停止  
CLR (TCjCR).7;  $\overline{\text{PDOj}}$  端子を “H” レベルに設定
- 注 3) j = 3, 4

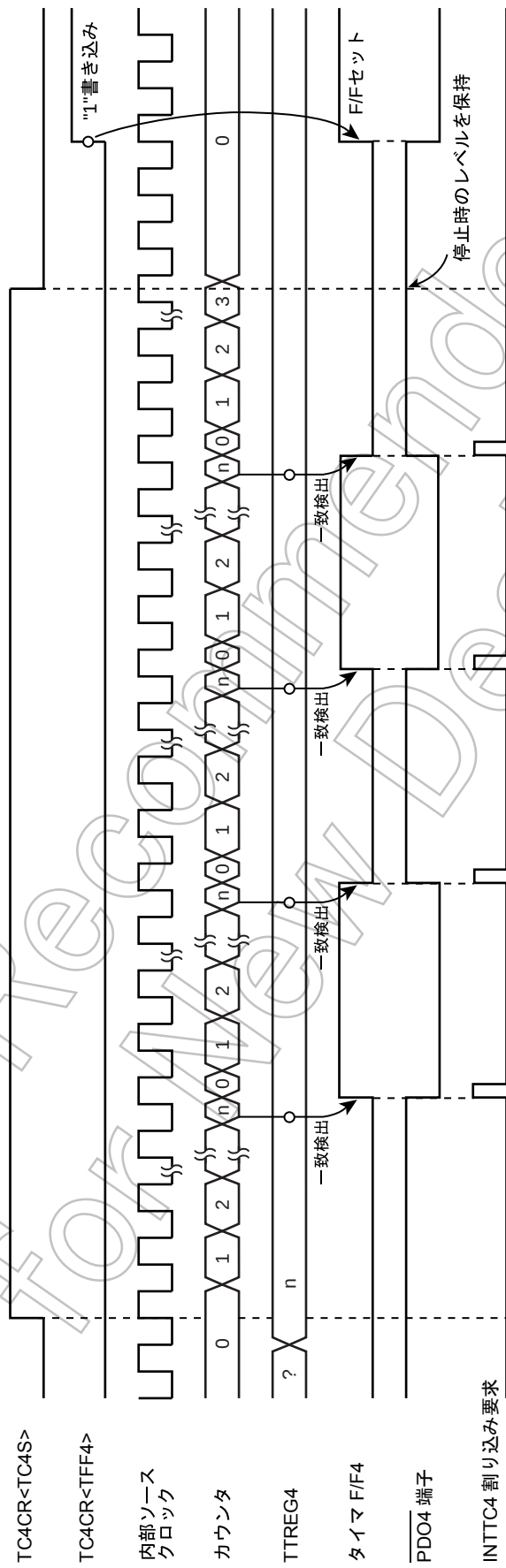


図 9-4 8 ビット PDO モードタイミングチャート (TC4 の場合)

9.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

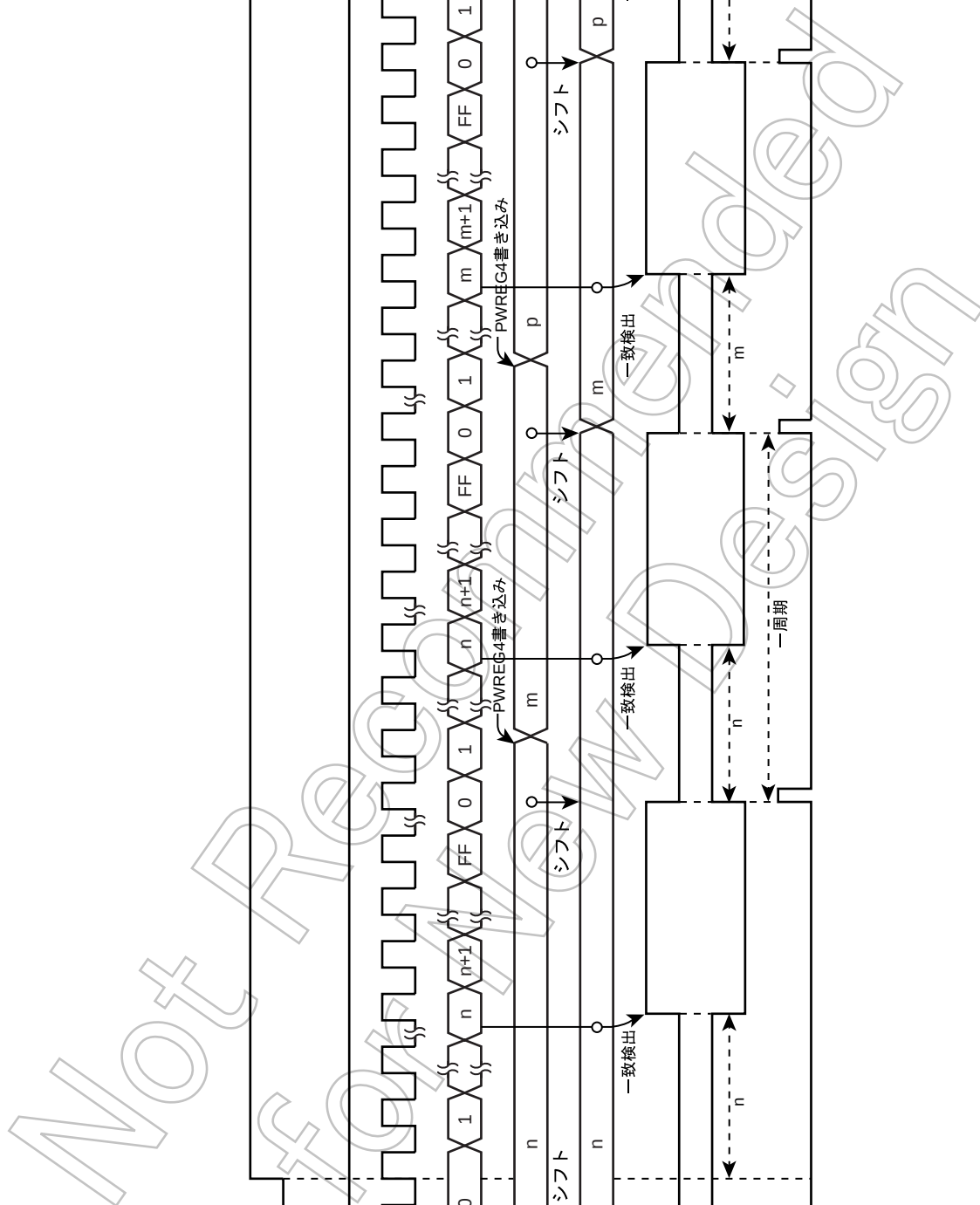
PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。  
例：タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。  
CLR (TCjCR).3; タイマ停止  
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 3, 4

表 9-5 PWM 出力モード

| ソースクロック                 |                        |                        | 分解能           |                   | 繰り返し周期        |                   |
|-------------------------|------------------------|------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード  |                        | SLOW1/2, SLEEP1/2 モード  | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| DV7CK = 0               | DV7CK = 1              |                        |               |                   |               |                   |
| fc/2 <sup>11</sup> [Hz] | fs/2 <sup>3</sup> [Hz] | fs/2 <sup>3</sup> [Hz] | 128 μs        | 244.14 μs         | 32.8 ms       | 62.5 ms           |
| fc/2 <sup>7</sup>       | fc/2 <sup>7</sup>      | —                      | 8 μs          | —                 | 2.05 ms       | —                 |
| fc/2 <sup>5</sup>       | fc/2 <sup>5</sup>      | —                      | 2 μs          | —                 | 512 μs        | —                 |
| fc/2 <sup>3</sup>       | fc/2 <sup>3</sup>      | —                      | 500ns         | —                 | 128 μs        | —                 |
| fs                      | fs                     | fs                     | 30.5 μs       | 30.5 μs           | 7.81 ms       | 7.81 ms           |
| fc/2                    | fc/2                   | —                      | 125 ns        | —                 | 32 μs         | —                 |
| fc                      | fc                     | —                      | 62.5 ns       | —                 | 16 μs         | —                 |



9.3.5 16ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$  端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 9-6 16 ビットタイマモードのソースクロック

| ソースクロック                |                   |                       | 分解能               |           | 繰り返し周期            |                   |
|------------------------|-------------------|-----------------------|-------------------|-----------|-------------------|-------------------|
| NORMAL1/2, IDLE1/2 モード |                   | SLOW1/2, SLEEP1/2 モード | fc = 16 MHz 時     |           | fs = 32.768 kHz 時 |                   |
| DV7CK = 0              | DV7CK = 1         |                       | fs = 32.768 kHz 時 |           | fc = 16 MHz 時     | fs = 32.768 kHz 時 |
| fc/2 <sup>11</sup>     | fs/2 <sup>3</sup> | fs/2 <sup>3</sup>     | 128 μs            | 244.14 μs | 8.39 s            | 16s               |
| fc/2 <sup>7</sup>      | fc/2 <sup>7</sup> | —                     | 8 μs              | —         | 524.3 ms          | —                 |
| fc/2 <sup>5</sup>      | fc/2 <sup>5</sup> | —                     | 2 μs              | —         | 131.1 ms          | —                 |
| fc/2 <sup>3</sup>      | fc/2 <sup>3</sup> | —                     | 500 ns            | —         | 32.8 ms           | —                 |

(プログラム例) ソースクロック  $fc/2^7$  [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH). 3           ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H        ; 動作クロックを fc/27、16 ビットタイマモード
                                ; (下位側) に設定
LD       (TC4CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH        ; タイマスタート
```

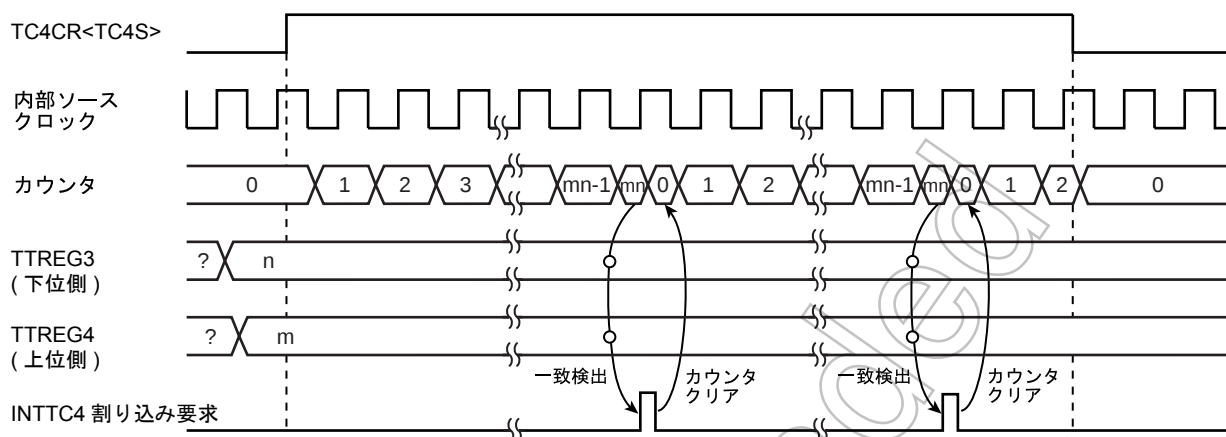


図 9-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

### 9.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で  $f_c/2^4$  [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で  $f_s/2^4$  [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$  端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成とならないので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

### 9.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で  $f_c/2^4$  [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で  $f_s/2^4$  [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。  
例: タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。  
CLR (TC4CR).3; タイマ停止  
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 9-7 16 ビット PWM 出力モード

| ソースクロック                |                        |                        | 分解能           |           | 繰り返し周期            |      |
|------------------------|------------------------|------------------------|---------------|-----------|-------------------|------|
| NORMAL1/2, IDLE1/2 モード |                        | SLOW1/2, SLEEP1/2 モード  | fc = 16 MHz 時 |           | fs = 32.768 kHz 時 |      |
| DV7CK = 0              | DV7CK = 1              |                        | fc = 16 MHz 時 |           | fs = 32.768 kHz 時 |      |
| fc/2 <sup>11</sup>     | fs/2 <sup>3</sup> [Hz] | fs/2 <sup>3</sup> [Hz] | 128 μs        | 244.14 μs | 8.39 s            | 16 s |
| fc/2 <sup>7</sup>      | fc/2 <sup>7</sup>      | —                      | 8 μs          | —         | 524.3 ms          | —    |
| fc/2 <sup>5</sup>      | fc/2 <sup>5</sup>      | —                      | 2 μs          | —         | 131.1 ms          | —    |
| fc/2 <sup>3</sup>      | fc/2 <sup>3</sup>      | —                      | 500ns         | —         | 32.8 ms           | —    |
| fs                     | fs                     | fs                     | 30.5 μs       | 30.5 μs   | 2 s               | 2 s  |
| fc/2                   | fc/2                   | —                      | 125 ns        | —         | 8.2 ms            | —    |
| fc                     | fc                     | —                      | 62.5 ns       | —         | 4.1 ms            | —    |

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する  
(fc = 16.0 MHz 時)

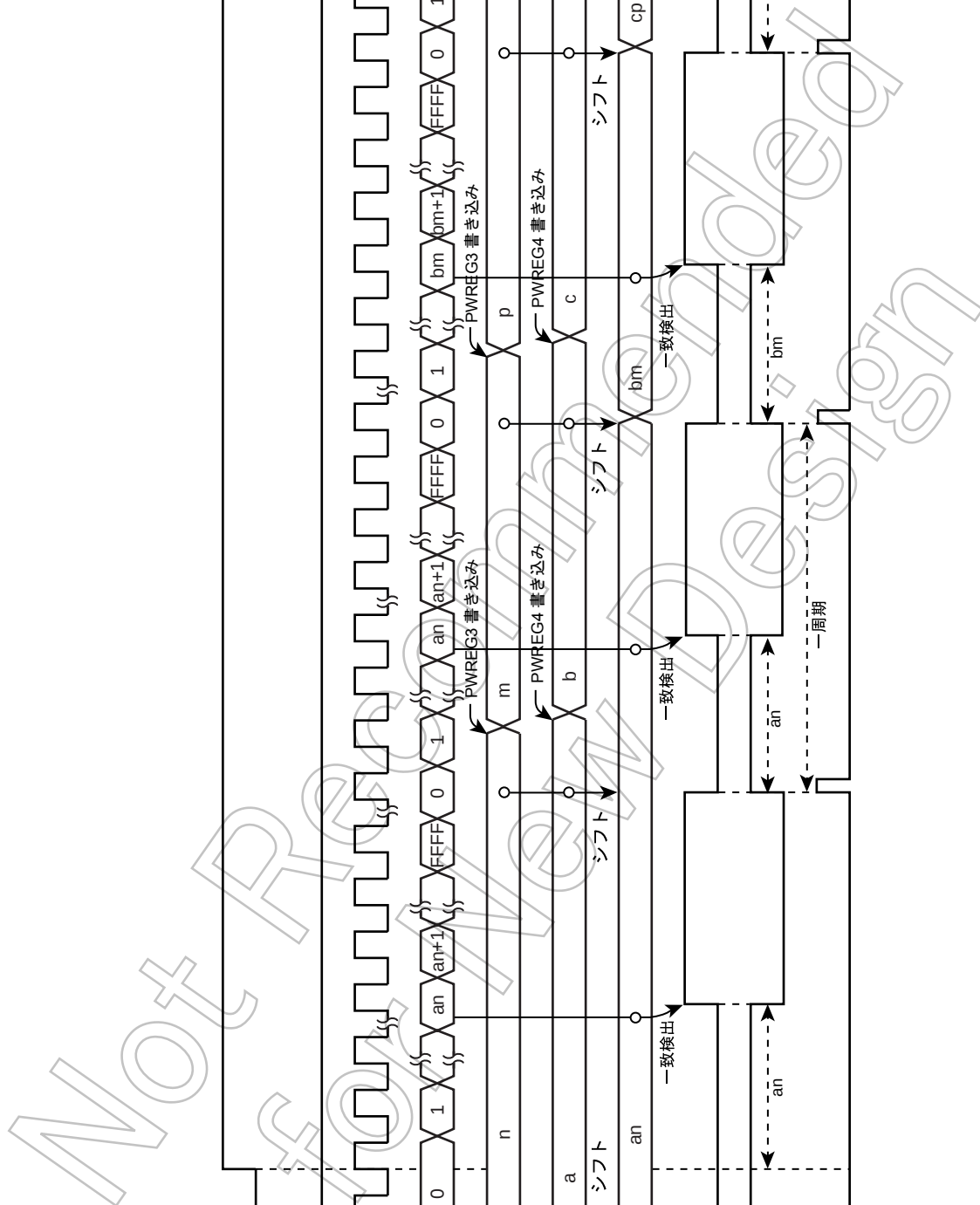
ポートを設定する

LDW (PWREG3), 07D0H ; パルス幅の設定

LD (TC3CR), 33H ; 動作クロックを fc/2<sup>3</sup>、16 ビット PWM モード (下位側) に設定

LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) に設定

LD (TC4CR), 05EH ; タイマスタート



9.3.8 16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で  $f_c/2^4$  [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で  $f_s/2^4$  [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ( $f_c = 16.0$  MHz 時)

|     | ポートを設定する        |                                                    |
|-----|-----------------|----------------------------------------------------|
| LDW | (PWREG3), 07D0H | ; パルス幅の設定                                          |
| LDW | (TTREG3), 8002H | ; 周期の設定                                            |
| LD  | (TC3CR), 33H    | ; 動作クロックを $f_c/2^3$ 、16 ビット PPG モード<br>; (下位側) に設定 |
| LD  | (TC4CR), 057H   | ; TFF4 初期値 “0”、16 ビット PPG モード<br>; (上位側) に設定       |
| LD  | (TC4CR), 05FH   | ; タイマスタート                                          |

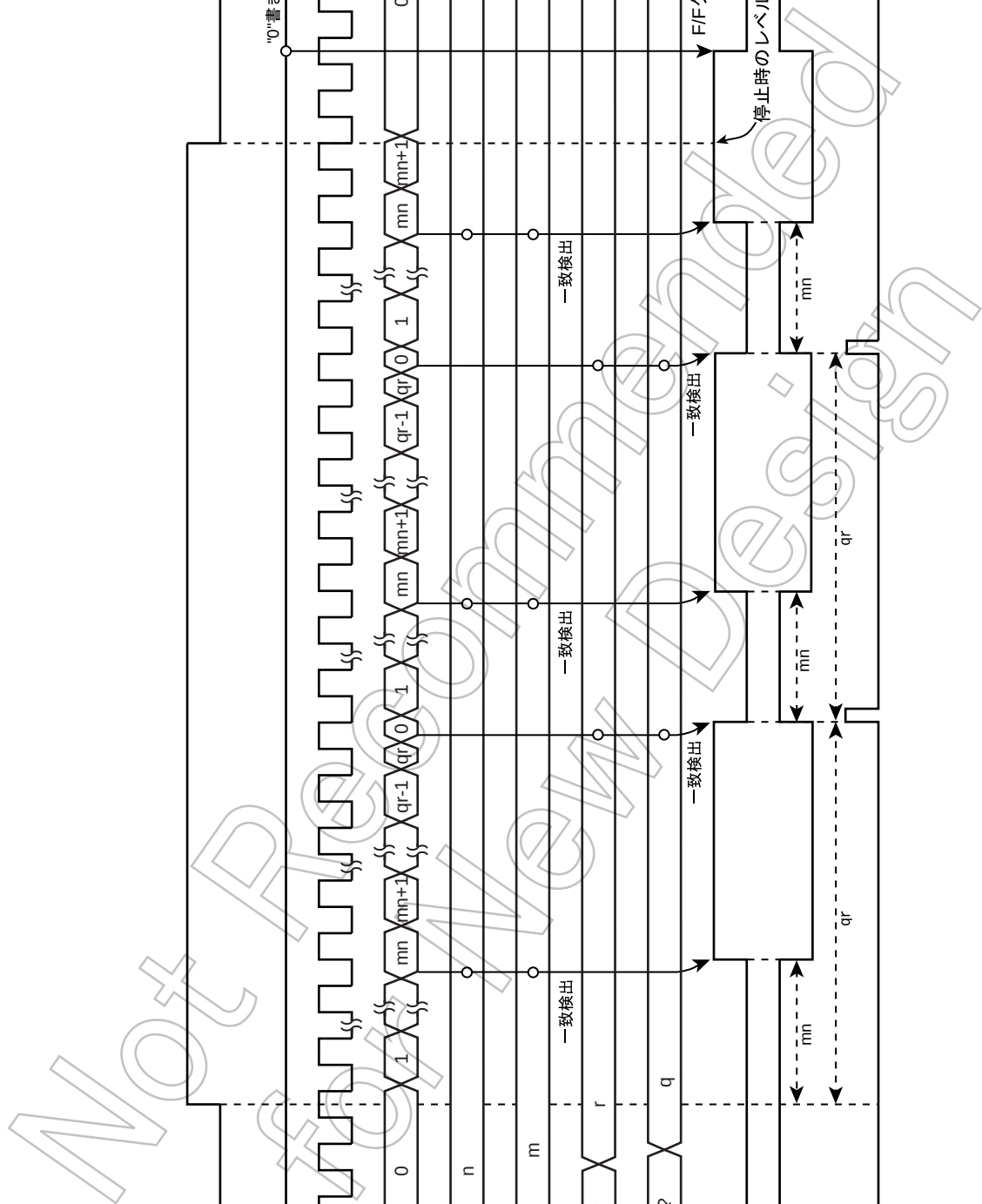
注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

CLR (TC4CR).3; タイマ停止  
CLR (TC4CR).7; PPG4 端子を “H” レベルに設定

注 3) i = 3, 4



9.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 3, 4

9.3.9.1 低周波ウォーミングアップカウンタモード  
(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 9-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時 )

| 最小設定時間 (TTREG4, 3 = 0100H) | 最大設定時間 (TTREG4, 3 = FF00H) |
|----------------------------|----------------------------|
| 7.81 ms                    | 1.99 s                     |

( プログラム例 ) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```
SET      (SYSCR2).6      ; SYSCR2<XTEN> ← “1”
LD       (TC3CR), 43H    ; TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3), 8000H ; ウォーミングアップ時間をセット
                        ; ( 発振器の特性で時間を決定します )
DI       ; IMF ← “0”
SET      (EIRH). 3      ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:        :
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
SET      (SYSCR2).5      ; SYSCR2<SYSCK> ← “1”
                        ; ( システムクロックを低周波に切り替え )
CLR      (SYSCR2).7      ; SYSCR2<XEN> ← “0” ( 高周波クロック停止 )
RETI
:        :
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル
```

9.3.9.2 高周波ウォーミングアップカウンタモード  
(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック  $f_c$  が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 9-9 高周波ウォーミングアップカウンタモードの設定時間

| 最小設定時間 (TTREG4, 3 = 0100H) | 最大設定時間 (TTREG4, 3 = FF00H) |
|----------------------------|----------------------------|
| 16 $\mu$ s                 | 4.08 ms                    |

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```
SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH).3        ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3       ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
CLR      (SYSCR2).5       ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
CLR      (SYSCR2).6       ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
RETI
:
:
VINTTC4: DW      PINTTC4  ; INTTC4 ベクタテーブル
```

Not Recommended  
for New Design

## 第 10 章 同期型シリアルインタフェース (SIO)

TMP86P820UG は、クロック同期方式の 8 ビットシリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO, SI, SCK 端子を通して外部デバイスと接続されます。

### 10.1 構成

SIO制御レジスタ/ステータスレジスタ

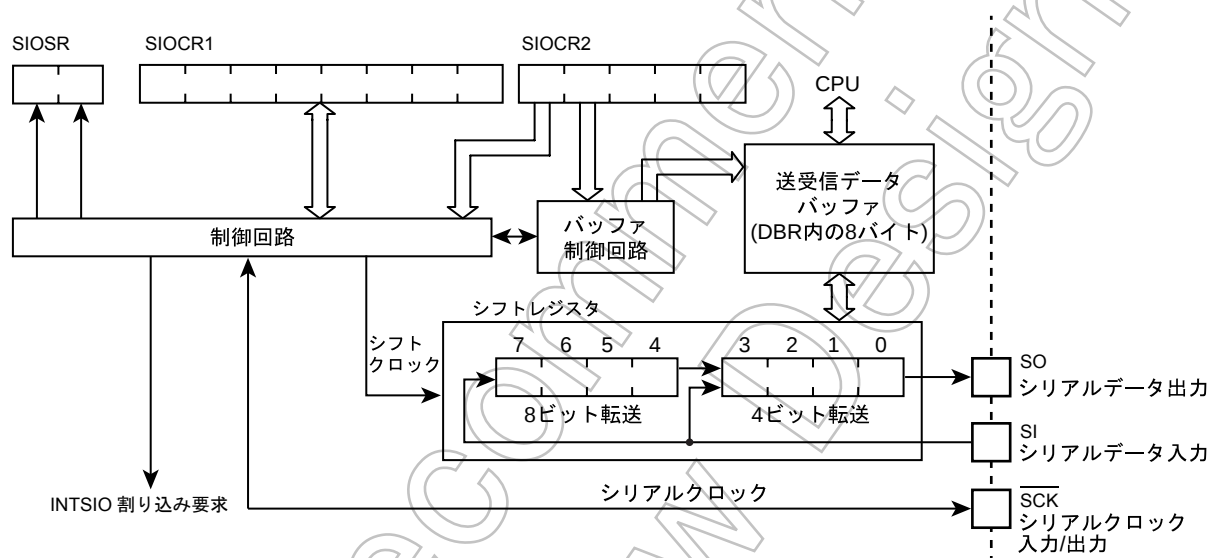


図 10-1 シリアル インタフェース

10.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F90~0F97H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

|                  |      |        |      |   |   |     |   |   |
|------------------|------|--------|------|---|---|-----|---|---|
| SIOCR1           | 7    | 6      | 5    | 4 | 3 | 2   | 1 | 0 |
| (0F98H)          | SIOS | SIOINH | SIOM |   |   | SCK |   |   |
| (初期値: 0000 0000) |      |        |      |   |   |     |   |   |

|                     |              |                                                                                                           |                        |                   |                            |            |
|---------------------|--------------|-----------------------------------------------------------------------------------------------------------|------------------------|-------------------|----------------------------|------------|
| SIOS                | 転送の開始 / 終了指示 | 0: 終了<br>1: 開始                                                                                            | Write only             |                   |                            |            |
| SIOINH              | 転送の強制停止      | 0: 転送継続<br>1: 強制停止 (停止後、自動的にクリア)                                                                          |                        |                   |                            |            |
| SIOM                | 転送モードの選択     | 000: 8ビット送信モード<br>010: 4ビット送信モード<br>100: 8ビット送受信モード<br>101: 8ビット受信モード<br>110: 4ビット受信モード<br>上記以外: Reserved |                        |                   |                            |            |
| SCK                 | シリアルクロックの選択  | 000<br>001<br>010<br>011<br>100<br>101<br>110<br>111                                                      | NORMAL1/2, IDLE1/2 モード |                   | SLOW1/2<br>SLEEP1/2<br>モード | Write only |
|                     |              |                                                                                                           | DV7CK = 0              | DV7CK = 1         |                            |            |
|                     |              |                                                                                                           | fc/2 <sup>13</sup>     | fs/2 <sup>5</sup> | fs/2 <sup>5</sup>          |            |
|                     |              |                                                                                                           | fc/2 <sup>8</sup>      | fc/2 <sup>8</sup> | —                          |            |
|                     |              |                                                                                                           | fc/2 <sup>7</sup>      | fc/2 <sup>7</sup> | —                          |            |
|                     |              |                                                                                                           | fc/2 <sup>6</sup>      | fc/2 <sup>6</sup> | —                          |            |
|                     |              |                                                                                                           | fc/2 <sup>5</sup>      | fc/2 <sup>5</sup> | —                          |            |
|                     |              |                                                                                                           | fc/2 <sup>4</sup>      | fc/2 <sup>4</sup> | —                          |            |
|                     |              |                                                                                                           | Reserved               |                   |                            |            |
| 外部クロック (SCK 端子から入力) |              |                                                                                                           |                        |                   |                            |            |

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]  
注 2) 転送モード、シリアルクロックの設定時は、SIOS = “0”、SIOINH = “1” にしてください。  
注 3) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

|         |   |   |   |      |   |     |   |   |                  |
|---------|---|---|---|------|---|-----|---|---|------------------|
| SIOCR2  | 7 | 6 | 5 | 4    | 3 | 2   | 1 | 0 |                  |
| (0F99H) |   |   |   | WAIT |   | BUF |   |   | (初期値: ***0 0000) |

|      |                              |                                                                                                                                                                                                                                                                 |            |
|------|------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| WAIT | ウェイト制御                       | <p>8ビット送受信 / 受信モード以外は常に“00”にしてください。</p> <p>00: <math>T_f = T_D</math> (ノンウェイト)</p> <p>01: <math>T_f = 2T_D</math> (ウェイト)</p> <p>10: <math>T_f = 4T_D</math> (ウェイト)</p> <p>11: <math>T_f = 8T_D</math> (ウェイト)</p>                                                | Write only |
| BUF  | 転送ワード数の設定<br>(使用するバッファのアドレス) | <p>000: 1ワード転送 0F90H</p> <p>001: 2ワード転送 0F90H ~ 0F91H</p> <p>010: 3ワード転送 0F90H ~ 0F92H</p> <p>011: 4ワード転送 0F90H ~ 0F93H</p> <p>100: 5ワード転送 0F90H ~ 0F94H</p> <p>101: 6ワード転送 0F90H ~ 0F95H</p> <p>110: 7ワード転送 0F90H ~ 0F96H</p> <p>111: 8ワード転送 0F90H ~ 0F97H</p> |            |

- 注 1) 4ビット転送のときは、各バッファの下位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されます。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは 0F90H 番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0)で行ってください。
- 注 5) \*: Don't care
- 注 6) SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

#### シリアルインタフェースステータスレジスタ

|         |      |     |   |   |   |   |   |   |
|---------|------|-----|---|---|---|---|---|---|
| SIOSR   | 7    | 6   | 5 | 4 | 3 | 2 | 1 | 0 |
| (0F99H) | SIOF | SEF |   |   |   |   |   |   |

|      |               |                                    |           |
|------|---------------|------------------------------------|-----------|
| SIOF | シリアル転送動作状態モニタ | <p>0: 転送終了</p> <p>1: 転送中</p>       | Read only |
| SEF  | シフト動作状態モニタ    | <p>0: シフト動作終了</p> <p>1: シフト動作中</p> |           |

- 注 1)  $T_f$ : フレーム時間 (1ワードのデータ転送時間),  $T_D$ : データ転送時間
- 注 2) SIOF は、SIOS を“0”にクリアした後、転送が終了した時点または SIOINH を“1”にセットした時点で“0”にクリアされます。

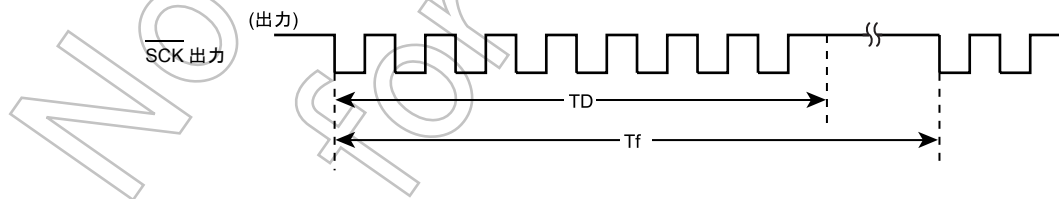


図 10-2 フレーム時間 ( $T_f$ ) とデータ転送時間 ( $T_D$ )

## 10.3 シリアルクロック

### 10.3.1 クロックソース

クロックソースは SIOCR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

10.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 10-1 シリアルクロックレート

|     | NORMAL1/2, IDLE1/2 モード |             |           |             | SLOW1/2,<br>SLEEP1/2 モード |          |
|-----|------------------------|-------------|-----------|-------------|--------------------------|----------|
|     | DV7CK = 0              |             | DV7CK = 1 |             |                          |          |
| SCK | クロック                   | ボーレート       | クロック      | ボーレート       | クロック                     | ボーレート    |
| 000 | $f_c/2^{13}$           | 1.91 Kbps   | $f_s/2^5$ | 1024 bps    | $f_s/2^5$                | 1024 bps |
| 001 | $f_c/2^8$              | 61.04 Kbps  | $f_c/2^8$ | 61.04 Kbps  | —                        | —        |
| 010 | $f_c/2^7$              | 122.07 Kbps | $f_c/2^7$ | 122.07 Kbps | —                        | —        |
| 011 | $f_c/2^6$              | 244.14 Kbps | $f_c/2^6$ | 244.14 Kbps | —                        | —        |
| 100 | $f_c/2^5$              | 488.28 Kbps | $f_c/2^5$ | 488.28 Kbps | —                        | —        |
| 101 | $f_c/2^4$              | 976.56 Kbps | $f_c/2^4$ | 976.56 Kbps | —                        | —        |
| 110 | —                      | —           | —         | —           | —                        | —        |
| 111 | 外部                     | 外部          | 外部        | 外部          | 外部                       | 外部       |

注) 1 Kbit = 1024 bit ( $f_c = 16 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$ )

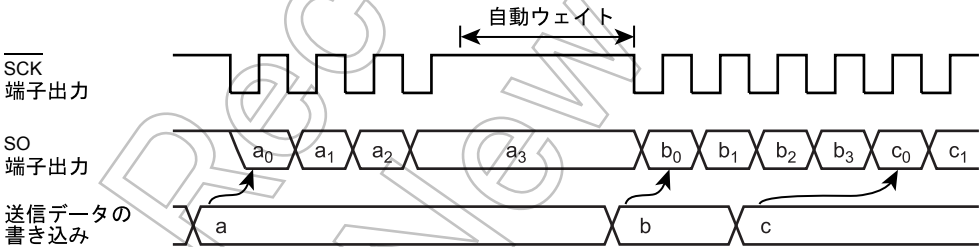


図 10-3 自動ウェイト機能 (4 ビット送信モードの場合)

10.3.1.2 外部クロック

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは “1” にセットしてください。なお、シフト動作が確実に行われるためには、シリアルクロックの “H” レベル, “L” レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s ( $f_c = 16 \text{ MHz}$  時) です。

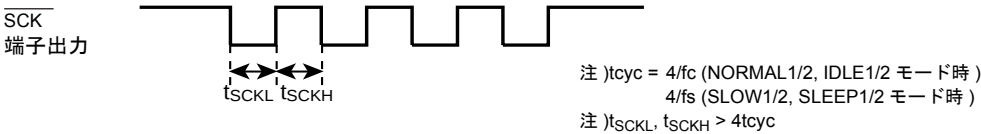


図 10-4 外部クロックのパルス幅

### 10.3.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

#### 10.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

#### 10.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

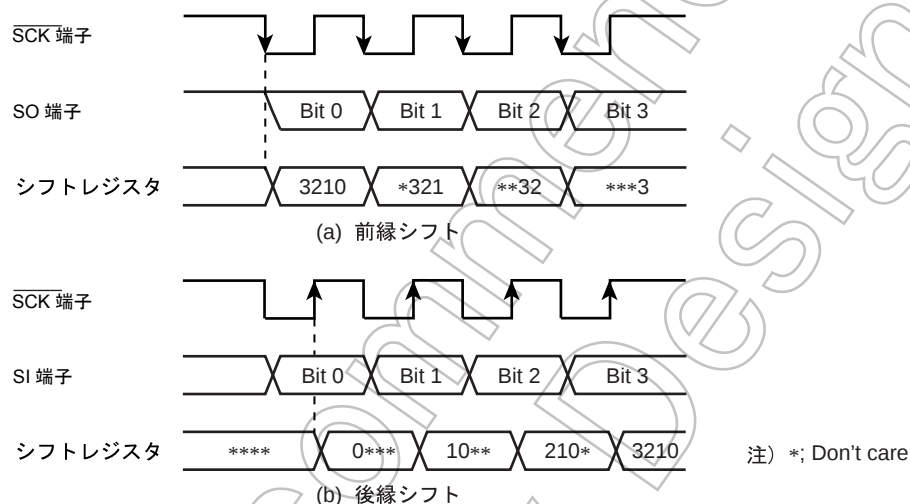


図 10-5 シフトエッジ

## 10.4 転送ビット数

4 ビットシリアル転送 または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

## 10.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時) / 8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIOCR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

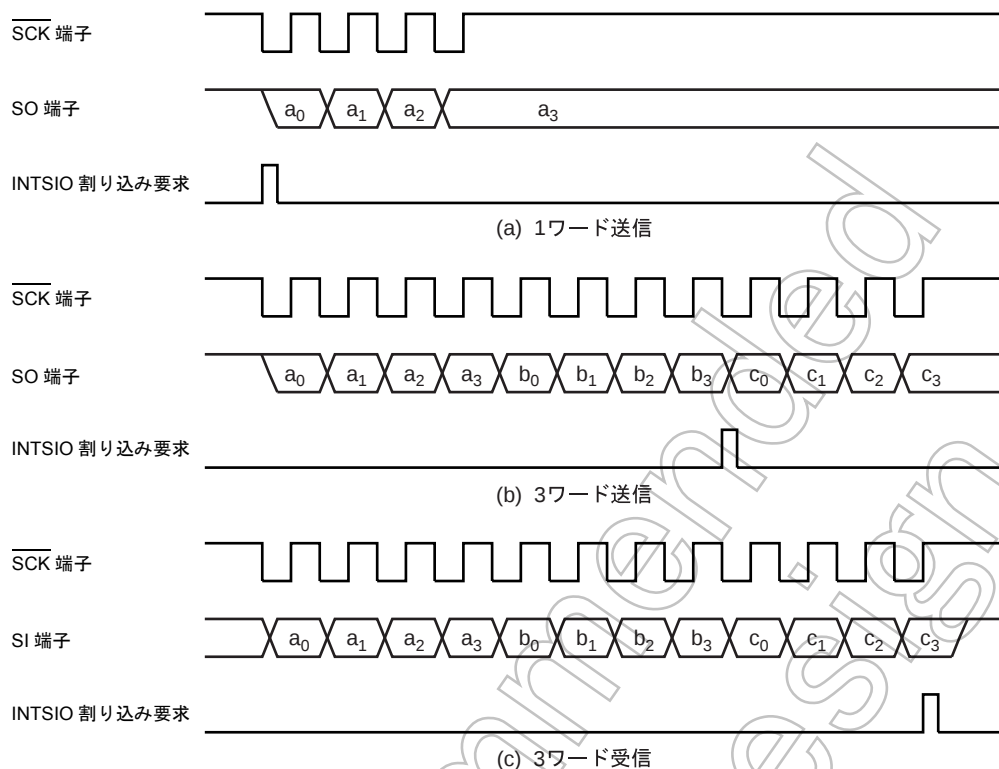


図 10-6 転送ワード数 (例: 1 ワード = 4 ビット)

## 10.6 転送モード

転送モードは SIOCR1<SIOM> によって、送信 / 受信 / 送受信モードを選択することができます。

### 10.6.1 4 ビット送信モード, 8 ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIOCR1<SIOS> を “1” にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1 ワードずつ バッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、SIOCR2<BUF> で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを 1 ワードでも書き込むと自動ウェイト動作は解除されますので、2 ワード以上送信する場合は前の 1 ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3 ワード送信の場合、余った 5 ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで  $\text{SIOCR1<SIOS>}$  を“0”にクリアするか  $\text{SIOCR1<SIOINH>}$  を“1”にセットします。 $\text{SIOCR1<SIOS>}$  がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、 $\text{SIOSR<SIOF>}$  をセンスします。 $\text{SIOSR<SIOF>}$  は送信の終了で“0”になります。 $\text{SIOCR1<SIOINH>}$  をセットした場合は、直ちに送信を打ち切り、 $\text{SIOSR<SIOF>}$  は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に  $\text{SIOCR1<SIOS>}$  を“0”クリアする必要があります。もしシフトアウトする前に  $\text{SIOCR1<SIOS>}$  がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、 $\text{SIOCR1<SIOS>}$  を“0”にクリアし、 $\text{SIOSR<SIOF>}$  が“0”になったことを確認後  $\text{SIOCR2<BUF>}$  を書き替えてください。

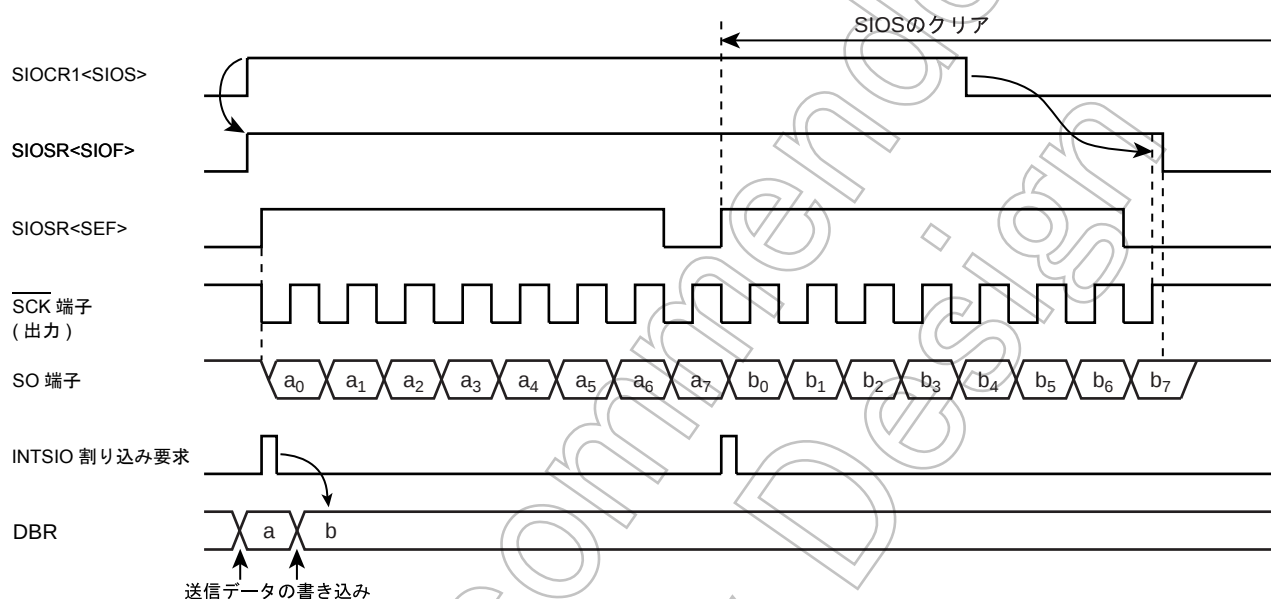


図 10-7 送信モード (例：8 ビット，1ワード転送、内部クロック)

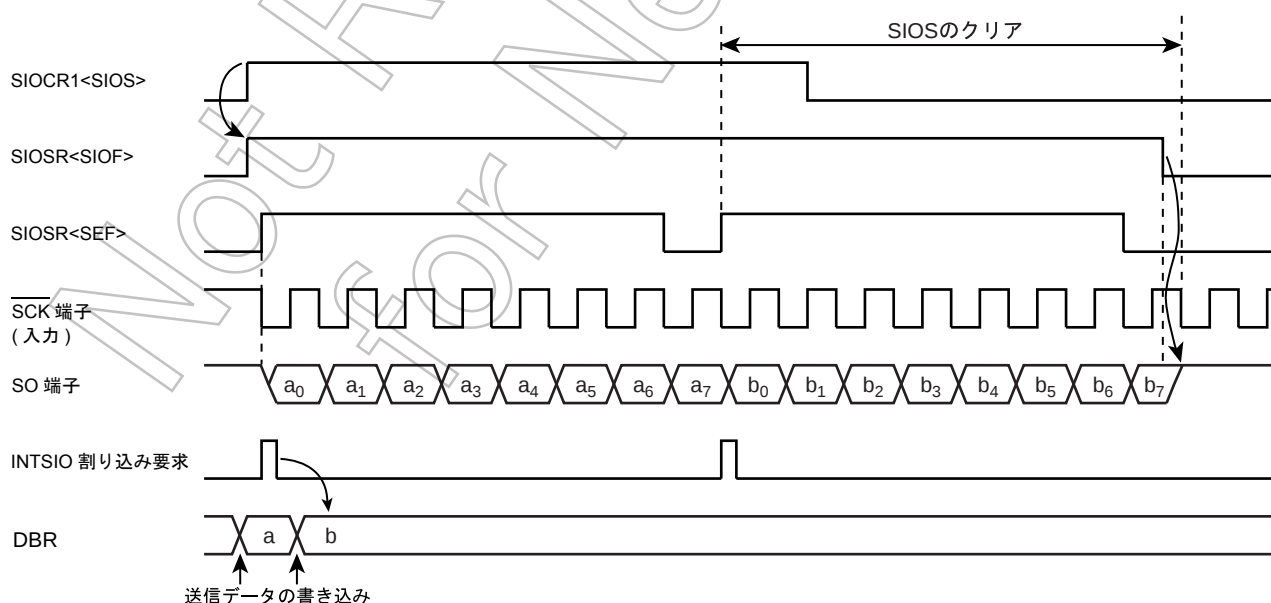


図 10-8 送信モード (例：8 ビット，1ワード転送、外部クロック)

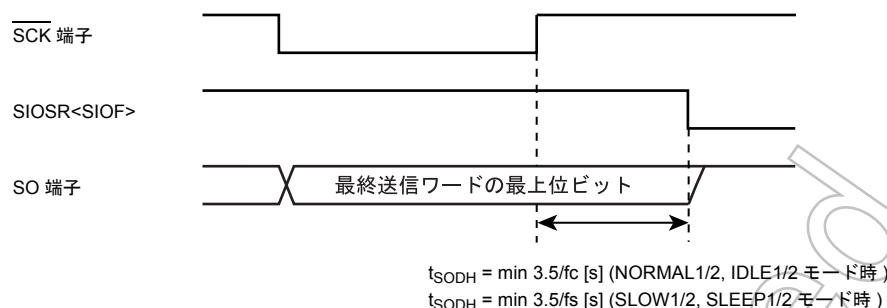


図 10-9 送信終了時の送信データ保持時間

### 10.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、`SIOCR1<SIOS>` を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、`SI` 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。`SIOCR2<BUF>` で指定されたワード数の受信が終了すると受信データの読み取りを要求する `INTSIO` (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、`SIO` で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで `SIOCR1<SIOS>` を“0”にクリアするか `SIOCR1<SIOINH>` を“1”にセットします。`SIOCR1<SIOS>` が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、`SIOSR<SIOF>` をセンスします。`SIOSR<SIOF>` は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

`SIOCR1<SIOINH>` をセットした場合は、直ちに受信を打ち切り、`SIOSR<SIOF>` は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは `SIOCR1<SIOS>` を“0”にクリアし `SIOSR<SIOF>` が“0”になったことを確認後 `SIOCR2<BUF>` を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に `SIOCR2<BUF>` を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (`SIOCR1<SIOS>` を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

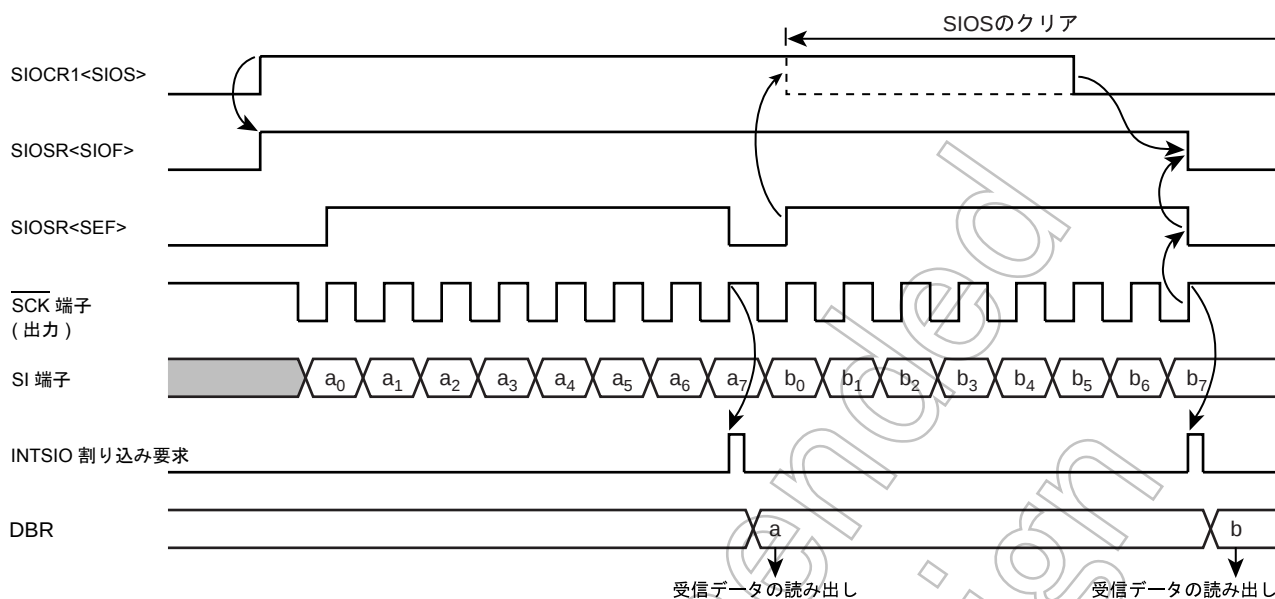


図 10-10 受信モード（例：8 ビット，1 ワード転送，内部クロック）

### 10.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送受信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後、SIOCR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

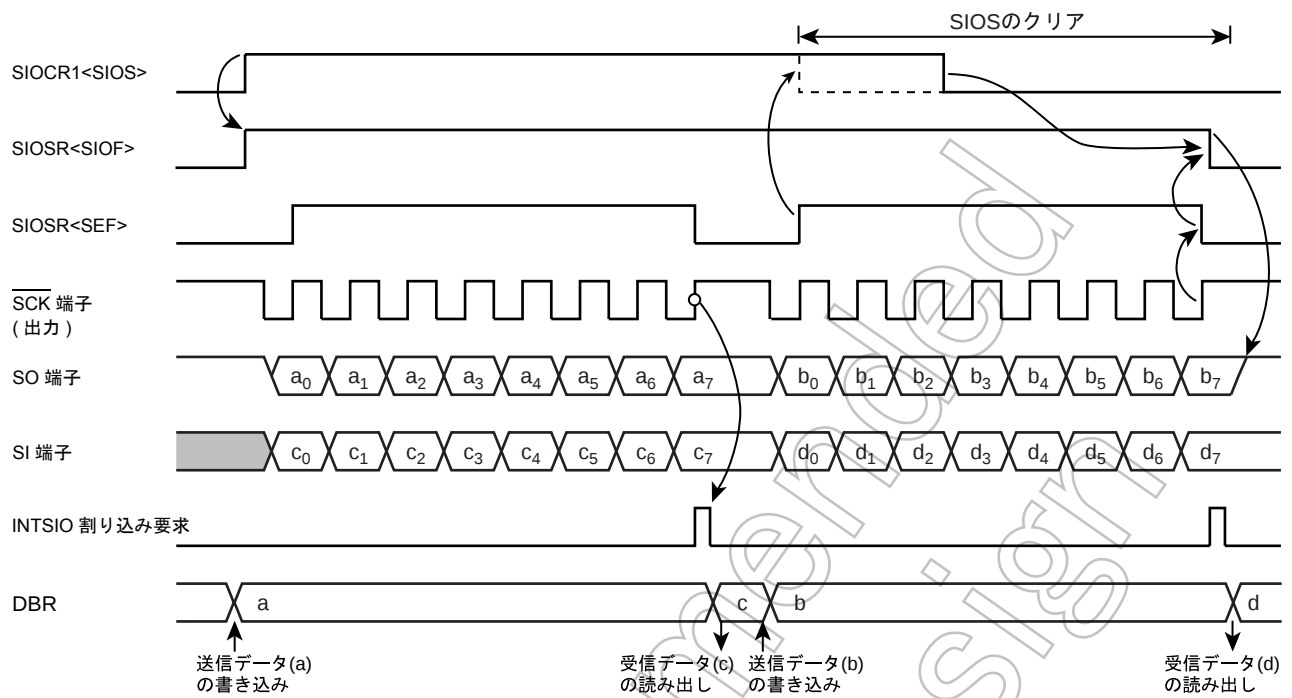


図 10-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

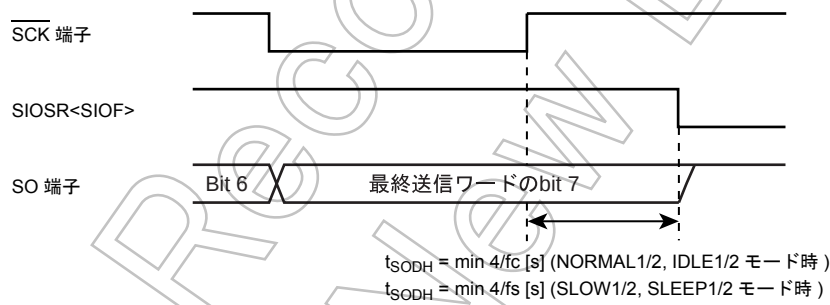


図 10-12 送受信終了時の送信データ保持時間

## 第 11 章 8 ビット AD コンバータ

TMP86P820UG は、8 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

### 11.1 構成

8 ビット AD コンバータの回路構成を図 11-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

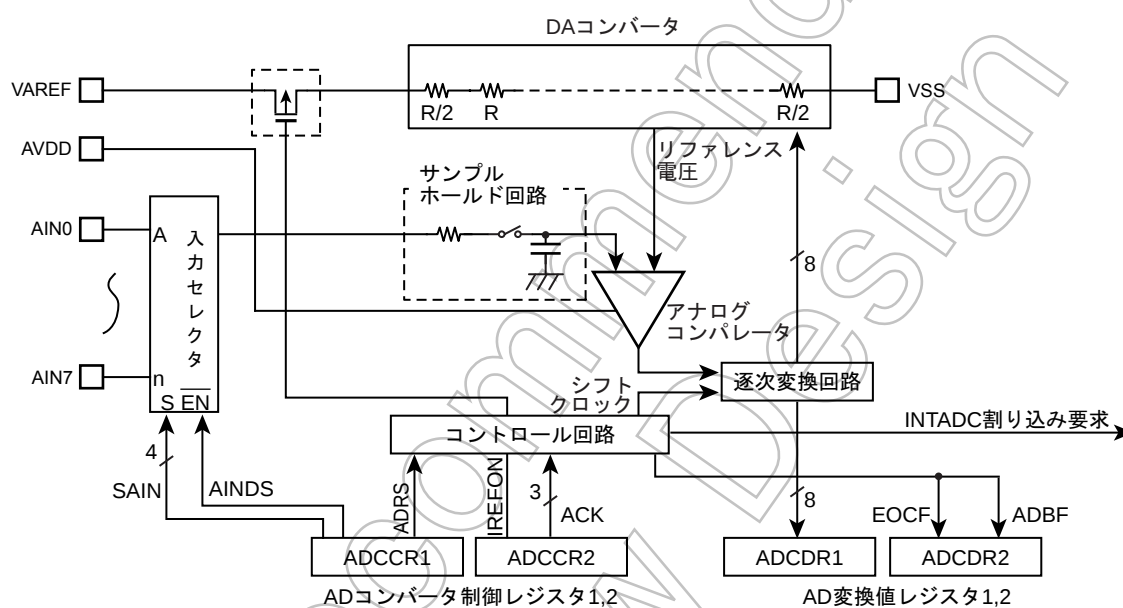


図 11-1 8 ビット AD コンバータ

11.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

- 1. AD コンバータ制御レジスタ 1 (ADCCR1)  
AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。
- 2. AD コンバータ制御レジスタ 2 (ADCCR2)  
AD 変換時間の選択と、DA コンバータ ( ラダー抵抗 ) の接続を制御するレジスタです。
- 3. AD 変換値レジスタ 1 (ADCDR1)  
AD コンバータによって変換されたデジタル値を格納するレジスタです。
- 4. AD 変換値レジスタ 2 (ADCDR2)  
AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

|                   |      |     |     |       |   |   |      |   |                     |
|-------------------|------|-----|-----|-------|---|---|------|---|---------------------|
| ADCCR1<br>(000EH) | 7    | 6   | 5   | 4     | 3 | 2 | 1    | 0 |                     |
|                   | ADRS | "0" | "1" | AINDS |   |   | SAIN |   | ( 初期値 : 0001 0000 ) |

|       |              |                                                                                                                                                                                                                                                              |     |
|-------|--------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| ADRS  | AD 変換開始      | 0:<br>1: AD 変換開始                                                                                                                                                                                                                                             | R/W |
| AINDS | アナログ入力制御     | 0: アナログ入力カインーブル<br>1: アナログ入力ディセーブル                                                                                                                                                                                                                           |     |
| SAIN  | アナログ入力チャネル選択 | 0000: AIN0<br>0001: AIN1<br>0010: AIN2<br>0011: AIN3<br>0100: AIN4<br>0101: AIN5<br>0110: AIN6<br>0111: AIN7<br>1000: Reserved<br>1001: Reserved<br>1010: Reserved<br>1011: Reserved<br>1100: Reserved<br>1101: Reserved<br>1110: Reserved<br>1111: Reserved |     |

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0")で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力は入出力ポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。またアナログ入力と近接する入出力ポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 ( 割り込み処理ルーチンなど )に行ってください。
- 注 6) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。
- 注 7) リセット後、SAIN は Reserved の設定値に初期化されますが、AD コンバータを使用するときは適切なアナログ入力チャネル (SAIN) を選択してください。
- 注 8) ADCCR1 のビット 5 は "1" に、ビット 6 は "0" をかならず設定してください。

## AD コンバータ制御レジスタ 2

|                   |   |   |        |     |   |     |   |     |                  |
|-------------------|---|---|--------|-----|---|-----|---|-----|------------------|
| ADCCR2<br>(000FH) | 7 | 6 | 5      | 4   | 3 | 2   | 1 | 0   |                  |
|                   |   |   | IREFON | "1" |   | ACK |   | "0" | (初期値: **0* 0000) |

| IREFON | DA コンバータ (ラダー抵抗) の接続時間            | 0: AD 変換中のみ接続<br>1: 常時接続                                                                                                | R/W |
|--------|-----------------------------------|-------------------------------------------------------------------------------------------------------------------------|-----|
| ACK    | AD 変換時間選択<br>(変換時間例は下記表を参照してください) | 000: 39/fc<br>001: Reserved<br>010: 78/fc<br>011: 156/fc<br>100: 312/fc<br>101: 624/fc<br>110: 1248/fc<br>111: Reserved | R/W |

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 11-1 ACK 設定と周波数別の変換時間

| 条件  | 変換時間     | 16MHz        | 8MHz          | 4 MHz         | 2 MHz         | 10-MHz        | 5 MHz         | 2.5 MHz       |
|-----|----------|--------------|---------------|---------------|---------------|---------------|---------------|---------------|
| ACK |          |              |               |               |               |               |               |               |
| 000 | 39/fc    | —            | —             | —             | 19.5 $\mu$ s  | —             | —             | 15.6 $\mu$ s  |
| 001 | Reserved |              |               |               |               |               |               |               |
| 010 | 78/fc    | —            | —             | 19.5 $\mu$ s  | 39.0 $\mu$ s  | —             | 15.6 $\mu$ s  | 31.2 $\mu$ s  |
| 011 | 156/fc   | —            | 19.5 $\mu$ s  | 39.0 $\mu$ s  | 78.0 $\mu$ s  | 15.6 $\mu$ s  | 31.2 $\mu$ s  | 62.4 $\mu$ s  |
| 100 | 312/fc   | 19.5 $\mu$ s | 39.0 $\mu$ s  | 78.0 $\mu$ s  | 156.0 $\mu$ s | 31.2 $\mu$ s  | 62.4 $\mu$ s  | 124.8 $\mu$ s |
| 101 | 624/fc   | 39.0 $\mu$ s | 78.0 $\mu$ s  | 156.0 $\mu$ s | —             | 62.4 $\mu$ s  | 124.8 $\mu$ s | —             |
| 110 | 1248/fc  | 78.0 $\mu$ s | 156.0 $\mu$ s | —             | —             | 124.8 $\mu$ s | —             | —             |
| 111 | Reserved |              |               |               |               |               |               |               |

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6  $\mu$ s 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2  $\mu$ s 以上
- VAREF = 1.8 ~ 5.5 V 時 124.8  $\mu$ s 以上

## AD 変換値レジスタ 1

|                   |      |      |      |      |      |      |      |      |                  |
|-------------------|------|------|------|------|------|------|------|------|------------------|
| ADCDR1<br>(0020H) | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |                  |
|                   | AD07 | AD06 | AD05 | AD04 | AD03 | AD02 | AD01 | AD00 | (初期値: 0000 0000) |

## AD 変換値レジスタ 2

|                   |   |   |      |      |   |   |   |   |                  |
|-------------------|---|---|------|------|---|---|---|---|------------------|
| ADCDR2<br>(0021H) | 7 | 6 | 5    | 4    | 3 | 2 | 1 | 0 |                  |
|                   |   |   | EOCF | ADBF |   |   |   |   | (初期値: **00 ****) |

|      |                |                         |              |
|------|----------------|-------------------------|--------------|
| EOCF | AD 変換終了フラグ     | 0: 変換前または変換中<br>1: 変換終了 | Read<br>only |
| ADBF | AD 変換 BUSY フラグ | 0: AD 変換停止中<br>1: 変換実行中 |              |

- 注 1) EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。従って ADCDR2 は ADCDR1 よりも先に読み出してください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モード を起動するときにもクリアされます。
- 注 3) ADCDR2 に対しリード命令を実行すると、ビット 7, 6, 3~0 は不定値が読み込まれます。

## 11.3 機能

### 11.3.1 AD コンバータの動作

ADCCR1<ADRS> を“1”に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1) に格納し、ADCDR2<EOCF> に“1”をセットするとともに INTADC 割り込み要求を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> によって変換が終了したことを確認後、あるいは INTADC 割り込み要求の発生後 (割り込みルーチンなど) に行ってください。

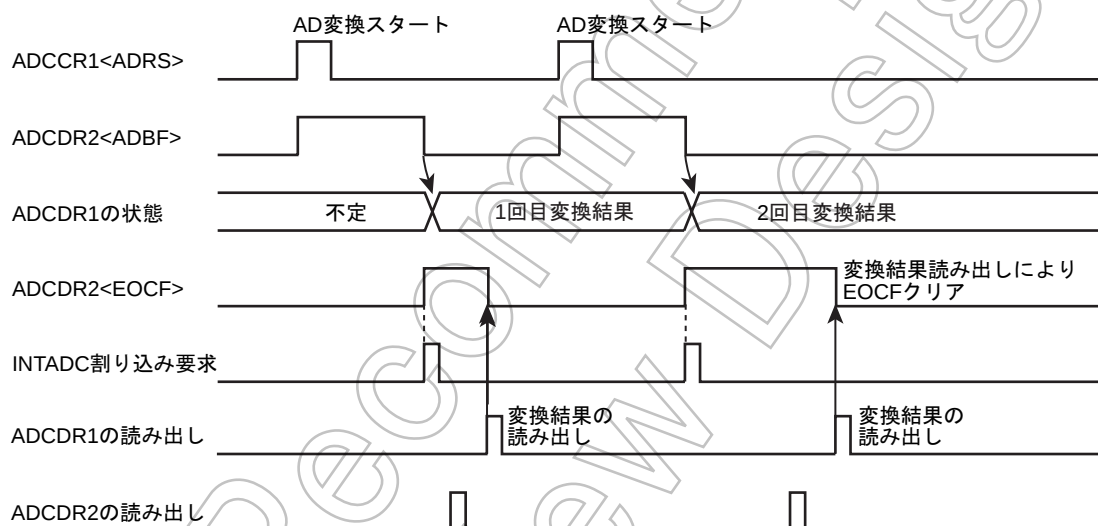


図 11-2 AD コンバータの動作

### 11.3.2 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
  - AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
  - アナログ入力制御 (AINDS) をアナログ入力ネーブルに指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
  - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 を参照してください。
  - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) を“1”に設定してください。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が“1”にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) に格納されます。また、このとき INTADC 割り込み要求が発生します。

5. AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5  $\mu$ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に 8 ビットのデータを格納します。

```

; (ポートの設定)
;
;
;
LD      (ADCCR1), 00100011B
LD      (ADCCR2), 11011000B
;
SET      (ADCCR1), 7
SLOOP:  TEST      (ADCDR2), 5
        JRS       T, SLOOP
;
LD      A, (ADCDR1)
LD      (9FH), A
```

; AD コンバータのレジスタを設定する前にポート  
レジスタを適切に設定してください。  
(詳細は I/O ポートの章を参照してください)  
; AIN3 を選択  
; 変換時間 (312/fc), 動作モードを選択  
; ADRS = 1 (AD 変換開始)  
; EOCF = 1 ?  
; 変換結果の読み出し

11.3.3 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードをを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的に切断されるため、アナログ基準電源への電流の流れ込みはありません。

### 11.3.4 入力電圧と変換結果

アナログ入力電圧と AD 変換された 8 ビットデジタル値は図 11-3 のように対応します。

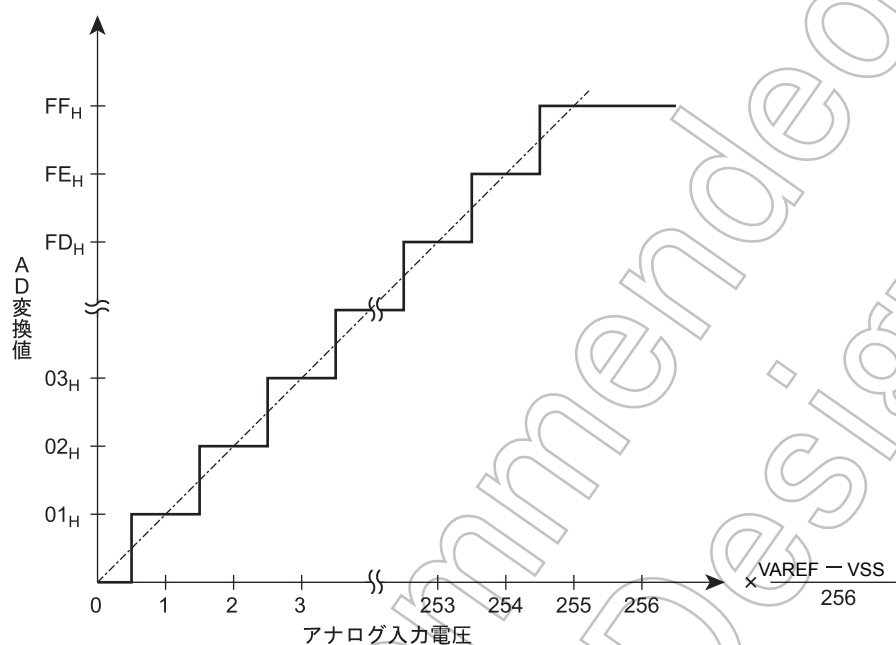


図 11-3 アナログ入力電圧と AD 変換値 (typ.) の関係

## 11.4 AD コンバータの注意事項

### 11.4.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

### 11.4.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

### 11.4.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 11-4 ようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 k $\Omega$  以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

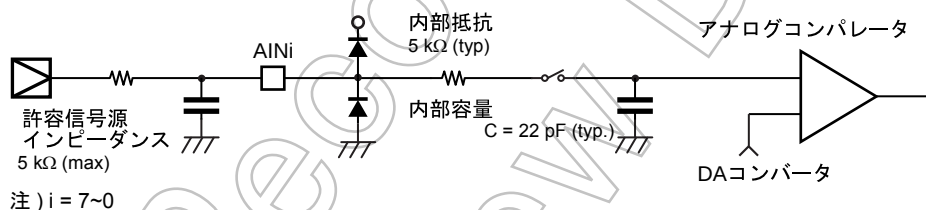


図 11-4 アナログ入力等価回路と入力端子処理例

# 第 12 章 キーオンウェイクアップ (KWU)

TMP86P820UG は、P20( $\overline{\text{INT5/STOP}}$ ) 端子以外に STOP2～STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2～STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$  端子の論理に注意が必要です。詳細については、後述の “12.2 制御” を参照してください。

## 12.1 構成

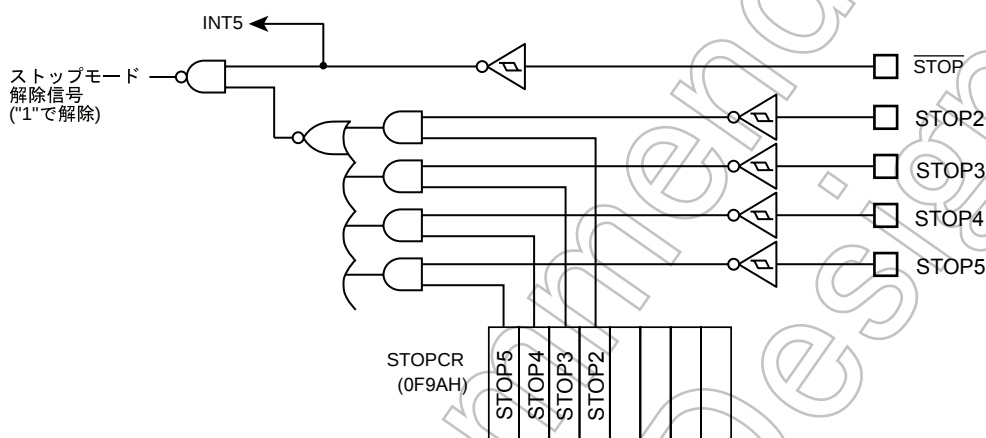


図 12-1 キーオンウェイクアップ回路

## 12.2 制御

STOP2～STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

### キーオンウェイクアップ制御レジスタ

| STOPCR  | 7     | 6     | 5     | 4     | 3 | 2 | 1 | 0 |                  |
|---------|-------|-------|-------|-------|---|---|---|---|------------------|
| (0F9AH) | STOP5 | STOP4 | STOP3 | STOP2 |   |   |   |   | (初期値: 0000 ****) |

|       |                        |                |            |
|-------|------------------------|----------------|------------|
| STOP5 | STOP5 端子による STOP モード解除 | 0: 禁止<br>1: 許可 | Write only |
| STOP4 | STOP4 端子による STOP モード解除 | 0: 禁止<br>1: 許可 | Write only |
| STOP3 | STOP3 端子による STOP モード解除 | 0: 禁止<br>1: 許可 | Write only |
| STOP2 | STOP2 端子による STOP モード解除 | 0: 禁止<br>1: 許可 | Write only |

## 12.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2～STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2 ～ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが “H” レベルになっていることを確認してください ( 注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>=“0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ～ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ～ STOP5 端子を STOP モード中 “H” レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$  端子および STOP2 ～ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。( 図 12-2)
- 注 4)  $\overline{\text{STOP}}$  端子は、入力を禁止する機能がありませんので、STOP2 ～ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$  端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP2 ～ STOP5 入力によって STOP モードを解除する (“L” レベル) 場合は、STOP モード中  $\overline{\text{STOP}}$  端子を必ず “L” レベルに固定してください。( 図 12-3)

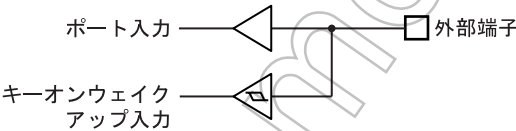


図 12-2 キーオンウェイクアップ入力とポート入力



図 12-3 STOP 端子と STOP2 ～ STOP5 端子の優先順位

表 12-1 STOP モードの解除レベル ( エッジ )

| 端子名                      | 解除レベル ( エッジ )               |                  |
|--------------------------|-----------------------------|------------------|
|                          | SYSCR1<RELM>="1"<br>( 注 2 ) | SYSCR1<RELM>="0" |
| $\overline{\text{STOP}}$ | "H" レベル                     | 立ち上がりエッジ         |
| STOP2                    | "L" レベル                     | 使用禁止 ( 注 1 )     |
| STOP3                    | "L" レベル                     | 使用禁止 ( 注 1 )     |
| STOP4                    | "L" レベル                     | 使用禁止 ( 注 1 )     |
| STOP5                    | "L" レベル                     | 使用禁止 ( 注 1 )     |

# 第 13 章 LCD ドライバ

TMP86P820UG は、液晶表示器 (LCD) を直接駆動するドライブおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

1. セグメント出力 32 本 (SEG31 ~ SEG0)
2. コモン出力端子 4 本 (COM3 ~ COM0)

ほかに駆動用電源端子として、C0, C1, V1, V2, V3 端子があります。直接駆動が可能な LCD は、次の 4 種類です。

1. 1/4 デューティ (1/3 バイアス) LCD 最大 128 画素 (8 セグメント × 16 桁)
2. 1/3 デューティ (1/3 バイアス) LCD 最大 96 画素 (8 セグメント × 12 桁)
3. 1/2 デューティ (1/2 バイアス) LCD 最大 64 画素 (8 セグメント × 8 桁)
4. スタティック LCD 最大 32 画素 (8 セグメント × 4 桁)

## 13.1 LCD ドライバの構成

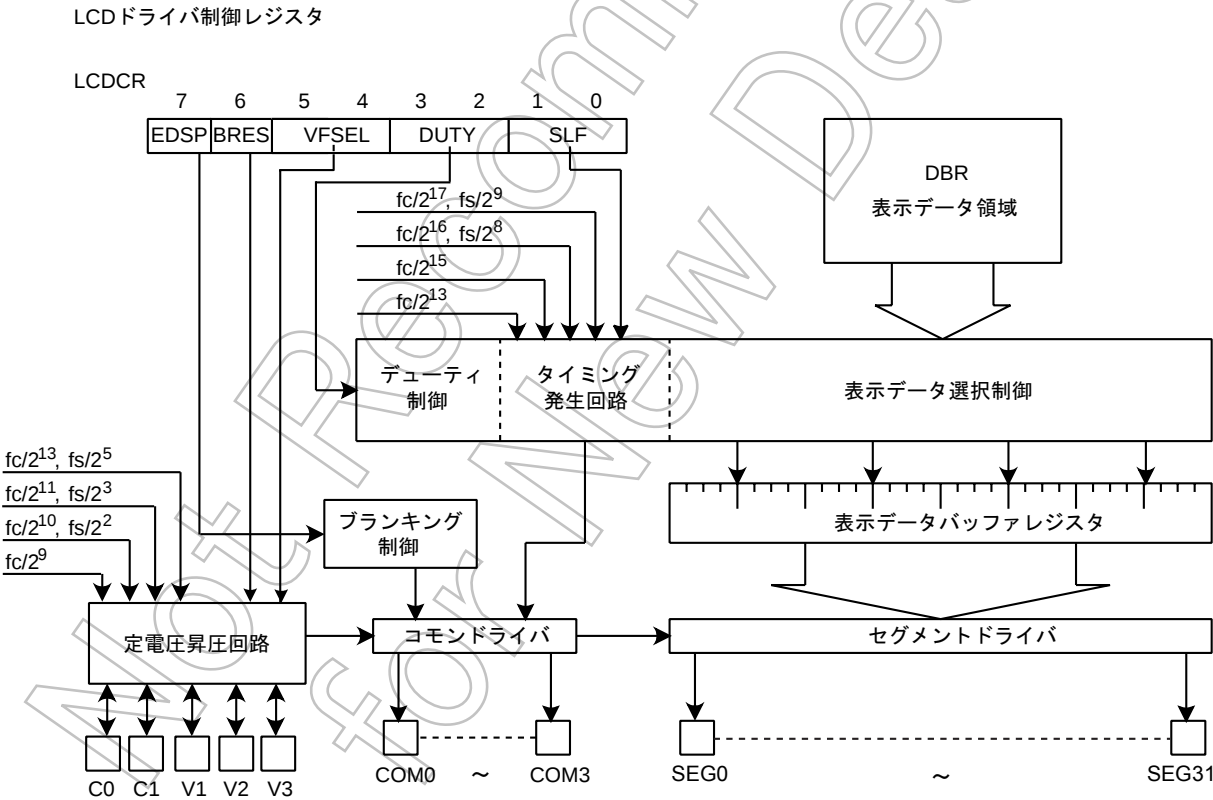


図 13-1 LCD ドライバ

注) LCD ドライバは専用のデバイダ回路を内蔵しています。従って開発ツールのデバッグ使用時にブレーク処理を行っても LCD ドライバは出力を停止しません。

13.2 LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ (LCDCR) で行います。LCD ドライバの表示イネーブルは EDSP で制御します。

LCD ドライバ制御レジスタ

|                  |      |      |       |      |     |   |   |   |
|------------------|------|------|-------|------|-----|---|---|---|
| LCDCR<br>(0028H) | 7    | 6    | 5     | 4    | 3   | 2 | 1 | 0 |
|                  | EDSP | BRES | VFSEL | DUTY | SLF |   |   |   |

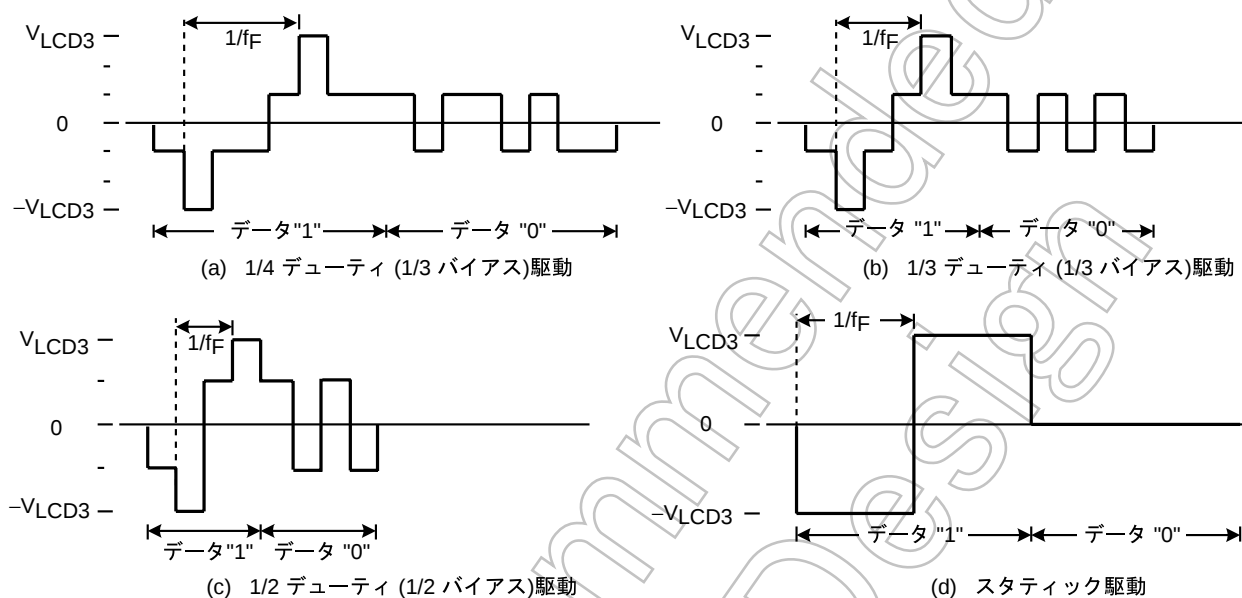
(初期値: 0000 0000)

|       |                |                                                                                                   |                        |              |     |                            |
|-------|----------------|---------------------------------------------------------------------------------------------------|------------------------|--------------|-----|----------------------------|
| EDSP  | LCD 表示制御       | 0: ブランキング<br>1: 表示イネーブル                                                                           |                        |              | R/W |                            |
| BRES  | 昇圧回路の設定        | 0: 昇圧回路ディゼーブル ( 外付け分割抵使用)<br>1: 昇圧回路 イネーブル                                                        |                        |              |     |                            |
| VFSEL | 昇圧周波数選択 [Hz]   |                                                                                                   | NORMAL1/2, IDLE1/2 モード |              |     | SLOW1/2,<br>SLEEP0/1/2 モード |
|       |                |                                                                                                   | DV7CK = 0              | DV7CK = 1    |     |                            |
|       |                | 00                                                                                                | $f_c/2^{13}$           | $f_s/2^5$    |     | $f_s/2^5$                  |
|       |                | 01                                                                                                | $f_c/2^{11}$           | $f_s/2^3$    |     | $f_s/2^3$                  |
|       |                | 10                                                                                                | $f_c/2^{10}$           | $f_s/2^2$    |     | $f_s/2^2$                  |
|       |                | 11                                                                                                | $f_c/2^9$              | $f_c/2^9$    |     | —                          |
| DUTY  | LCD 駆動方式の設定    | 00: 1/4 デューティ (1/3 バイアス )<br>01: 1/3 デューティ (1/3 バイアス )<br>10: 1/2 デューティ (1/2 バイアス )<br>11: スタティック |                        |              |     |                            |
| SLF   | ベース周波数の選択 [Hz] |                                                                                                   | NORMAL1/2, IDLE1/2 モード |              |     | SLOW1/2,<br>SLEEP0/1/2 モード |
|       |                |                                                                                                   | DV7CK = 0              | DV7CK = 1    |     |                            |
|       |                | 00                                                                                                | $f_c/2^{17}$           | $f_s/2^9$    |     | $f_s/2^9$                  |
|       |                | 01                                                                                                | $f_c/2^{16}$           | $f_s/2^8$    |     | $f_s/2^8$                  |
|       |                | 10                                                                                                | $f_c/2^{15}$           | $f_c/2^{15}$ |     | —                          |
|       |                | 11                                                                                                | $f_c/2^{13}$           | $f_c/2^{13}$ |     | —                          |

- 注 1) 昇圧回路の設定 <BRES> = "0" のときは  $V_{DD} \geq V_3 \geq V_2 \geq V_1 \geq V_{SS}$ , <BRES> = "1" のときは  $5.5[V] \geq V_3 \geq V_{DD}$  を満たす必要があります。これらの条件が適正でない場合、LCD 表示品位に影響を与えるばかりか、ポートに過電流が流れデバイスにダメージを与える可能性があります。
- 注 2) 昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って <BRES> が "1" のとき、<DUTY> は "00B"、または "01B" を設定してください。
- 注 3) — ; 設定しないでください。

### 13.2.1 LCD 駆動方式

LCD の駆動方式は、LCDCR<DUTY> により、4 種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用する LCD に合わせて初期化します。



注 1)  $f_F$ : フレーム周波数

注 2)  $V_{LCD3}$ : LCD 駆動電圧

図 13-2 LCD 駆動波形 (COM - SEG 端子間電位差)

### 13.2.2 フレーム周波数

フレーム周波数 ( $f_F$ ) は駆動方式とベース周波数により表 13-1 のように設定されます。ベース周波数は、使用する基本クロック周波数  $f_c$  および  $f_s$  に応じて、LCDCR<SLF> により選択します。

表 13-1 フレーム周波数の設定 (高周波クロック)

(a) シングルクロックモード時、またはデュアルクロックモード時の DV7CK = "0" の場合

| SLF | ベース周波数 [Hz]                | フレーム周波数 [Hz]         |                                        |                                        |                      |
|-----|----------------------------|----------------------|----------------------------------------|----------------------------------------|----------------------|
|     |                            | 1/4 デューティ            | 1/3 デューティ                              | 1/2 デューティ                              | スタティック               |
| 00  | $\frac{f_c}{2^{17}}$       | $\frac{f_c}{2^{17}}$ | $\frac{4}{3} \cdot \frac{f_c}{2^{17}}$ | $\frac{4}{2} \cdot \frac{f_c}{2^{17}}$ | $\frac{f_c}{2^{17}}$ |
|     | ( $f_c = 16 \text{ MHz}$ ) | 122                  | 163                                    | 244                                    | 122                  |
|     | ( $f_c = 8 \text{ MHz}$ )  | 61                   | 81                                     | 122                                    | 61                   |
| 01  | $\frac{f_c}{2^{16}}$       | $\frac{f_c}{2^{16}}$ | $\frac{4}{3} \cdot \frac{f_c}{2^{16}}$ | $\frac{4}{2} \cdot \frac{f_c}{2^{16}}$ | $\frac{f_c}{2^{16}}$ |
|     | ( $f_c = 8 \text{ MHz}$ )  | 122                  | 163                                    | 244                                    | 122                  |
|     | ( $f_c = 4 \text{ MHz}$ )  | 61                   | 81                                     | 122                                    | 61                   |
| 10  | $\frac{f_c}{2^{15}}$       | $\frac{f_c}{2^{15}}$ | $\frac{4}{3} \cdot \frac{f_c}{2^{15}}$ | $\frac{4}{2} \cdot \frac{f_c}{2^{15}}$ | $\frac{f_c}{2^{15}}$ |
|     | ( $f_c = 4 \text{ MHz}$ )  | 122                  | 163                                    | 244                                    | 122                  |
|     | ( $f_c = 2 \text{ MHz}$ )  | 61                   | 81                                     | 122                                    | 61                   |
| 11  | $\frac{f_c}{2^{13}}$       | $\frac{f_c}{2^{13}}$ | $\frac{4}{3} \cdot \frac{f_c}{2^{13}}$ | $\frac{4}{2} \cdot \frac{f_c}{2^{13}}$ | $\frac{f_c}{2^{13}}$ |
|     | ( $f_c = 1 \text{ MHz}$ )  | 122                  | 163                                    | 244                                    | 122                  |

注)  $f_c$ : 高周波クロック周波数 [Hz]

表 13-2 フレーム周波数の設定 (低周波クロック)

(b) デュアルクロックモード時の DV7CK = "1"、または SYSCK = "1" の場合

| SLF | ベース周波数 [Hz]                    | フレーム周波数 [Hz]      |                                     |                                     |                   |
|-----|--------------------------------|-------------------|-------------------------------------|-------------------------------------|-------------------|
|     |                                | 1/4 デューティ         | 1/3 デューティ                           | 1/2 デューティ                           | スタティック            |
| 00  | $\frac{f_s}{2^9}$              | $\frac{f_s}{2^9}$ | $\frac{4}{3} \cdot \frac{f_s}{2^9}$ | $\frac{4}{2} \cdot \frac{f_s}{2^9}$ | $\frac{f_s}{2^9}$ |
|     | ( $f_s = 32.768 \text{ kHz}$ ) | 64                | 85                                  | 128                                 | 64                |
| 01  | $\frac{f_s}{2^8}$              | $\frac{f_s}{2^8}$ | $\frac{4}{3} \cdot \frac{f_s}{2^8}$ | $\frac{4}{2} \cdot \frac{f_s}{2^8}$ | $\frac{f_s}{2^8}$ |
|     | ( $f_s = 32.768 \text{ kHz}$ ) | 128               | 171                                 | 256                                 | 128               |

注)  $f_s$ : 低周波クロック周波数 [Hz]

### 13.2.3 LCD 駆動電圧

TMP86P820UG は、LCD 駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧 ( 降圧 ) したものを使用するか、外部電源を外付け抵抗により分割としたものを使用するかを選択ができます。この選択は LCD 制御レジスタ LCDCCR<BRES> で行います。

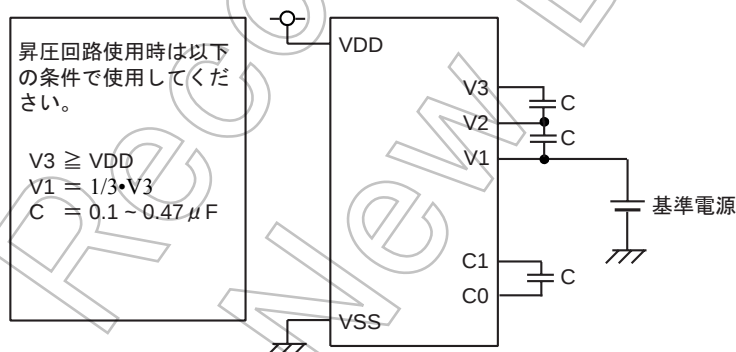
#### 13.2.3.1 昇圧回路を使用する場合 (LCDCCR<BRES>="1" のとき)

昇圧回路使用時は V1 端子に接続された基準電圧を 2 倍、3 倍に昇圧し、セグメント / コモン信号用の出力電圧を発生させます。V2 端子に基準電源が接続された場合は、1/2 倍 (V1) に降圧、3/2 倍 (V3) に昇圧されます。V3 端子に基準電源が接続された場合は、1/3 倍 (V1) に降圧、2/3 倍 (V2) に降圧されます。

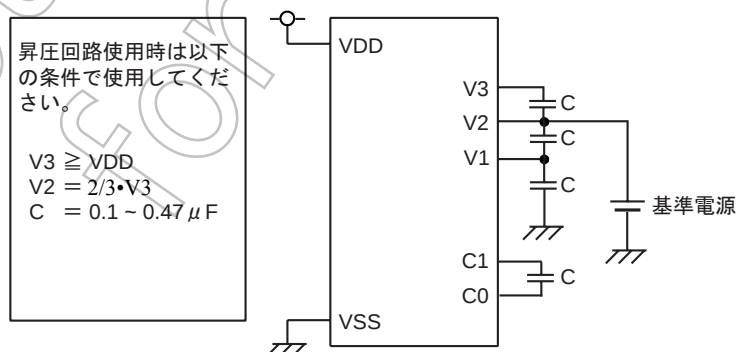
また、LCDCCR<VFSEL> によって昇圧回路の基準周波数を選択することができます。昇圧周波数を速くするとセグメント / コモンの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に昇圧周波数を遅くするとセグメント / コモンの駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な設定値に調整してください。

昇圧回路の昇圧周波数に対する V3 端子の電流値容量を表 13-3 に示します。

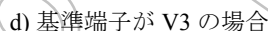
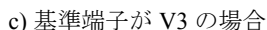
注) 昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って <BRES> が "1" のとき、<DUTY> は "00B"、または "01B" を設定してください。



a) 基準端子が V1 の場合



b) 基準端子が V2 の場合



- 図 13-3 昇圧回路使用時の LCD 電源接続例 (LCDCR<BRES>= “1”)

| VFSEL | 昇圧周波数                    | FC = 16 MHz 時   | FC = 8 MHz 時    | FC = 4 MHz 時     | FC = 32.768 MHz 時 |
|-------|--------------------------|-----------------|-----------------|------------------|-------------------|
| 00    | $fc/2^{13}$ または $fs/2^5$ | -37 mV/ $\mu$ A | -80 mV/ $\mu$ A | -138 mV/ $\mu$ A | -76 mV/ $\mu$ A   |
| 01    | $fc/2^{11}$ または $fs/2^3$ | -19 mV/ $\mu$ A | -24 mV/ $\mu$ A | -37 mV/ $\mu$ A  | -23 mV/ $\mu$ A   |
| 10    | $fc/2^{10}$ または $fs/2^2$ | -17 mV/ $\mu$ A | -19 mV/ $\mu$ A | -24 mV/ $\mu$ A  | -18 mV/ $\mu$ A   |
| 11    | $fc/2^9$                 | -16 mV/ $\mu$ A | -17 mV/ $\mu$ A | -19 mV/ $\mu$ A  | —                 |

- Page 126

### 13.2.3.2 外付け分割抵抗を使用する場合 (LCDCR<BRES>="0" のとき)

外付け分割抵抗使用時は、外部電源を抵抗で分圧した電圧をそれぞれ V1, V2, V3 に入力しセグメント / コモン信号用の出力電圧を発生させます。

外部抵抗値を小さくするとセグメント / コモンの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に外部抵抗値を大きくするとセグメント / コモンの駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な抵抗値に調整してください。

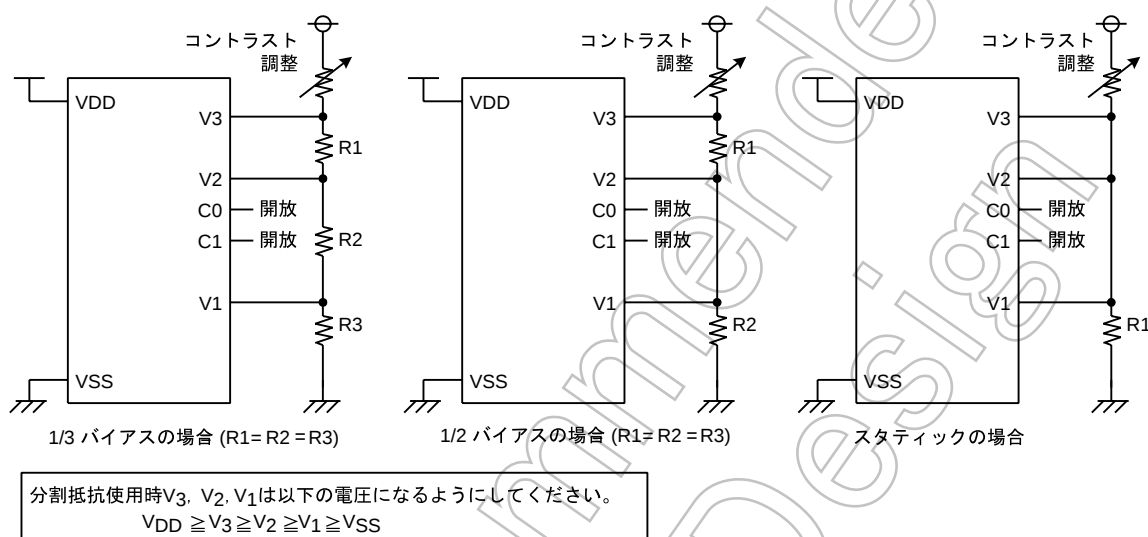


図 13-4 外部分割抵抗使用時の LCD 電源接続例 (LCDCR<BRES>= "0" )

## 13.3 LCD 表示動作

### 13.3.1 表示データの設定

表示データは、DBR内に設けられた表示データ領域(0F80H~0F8FH番地の16バイト)に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えることで行えます。

表 13-5 に、表示データ領域と SEG/COM 端子の対応を示します。表示データが“1”のとき点灯し、“0”のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できます (表 13-4 参照)。

注) 表示データ領域の内容は、電源投入時不定になりますのでイニシャライズルーチンで初期設定を行ってください。

表 13-4 表示データの格納に使用するビット

| 駆動方式        | ビット 7/3 | ビット 6/2 | ビット 5/1 | ビット 4/0 |
|-------------|---------|---------|---------|---------|
| 1/4 デューティ   | COM3    | COM2    | COM1    | COM0    |
| 1/3 デューティ   | –       | COM2    | COM1    | COM0    |
| 1/2 デューティ y | –       | –       | COM1    | COM0    |
| スタティック      | –       | –       | –       | COM0    |

注) –: 表示データの格納に使用しないビット

表 13-5 LCD 表示データ領域 (DBR)

| アドレス  | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0F80H | SEG1  |       |       |       | SEG0  |       |       |       |
| 0F81H | SEG3  |       |       |       | SEG2  |       |       |       |
| 0F82H | SEG5  |       |       |       | SEG4  |       |       |       |
| 0F83H | SEG7  |       |       |       | SEG6  |       |       |       |
| 0F84H | SEG9  |       |       |       | SEG8  |       |       |       |
| 0F85H | SEG11 |       |       |       | SEG10 |       |       |       |
| 0F86H | SEG13 |       |       |       | SEG12 |       |       |       |
| 0F87H | SEG15 |       |       |       | SEG14 |       |       |       |
| 0F88H | SEG17 |       |       |       | SEG16 |       |       |       |
| 0F89H | SEG19 |       |       |       | SEG18 |       |       |       |
| 0F8AH | SEG21 |       |       |       | SEG20 |       |       |       |
| 0F8BH | SEG23 |       |       |       | SEG22 |       |       |       |
| 0F8CH | SEG25 |       |       |       | SEG24 |       |       |       |
| 0F8DH | SEG27 |       |       |       | SEG26 |       |       |       |
| 0F8EH | SEG29 |       |       |       | SEG28 |       |       |       |
| 0F8FH | SEG31 |       |       |       | SEG30 |       |       |       |
|       | COM3  | COM2  | COM1  | COM0  | COM3  | COM2  | COM1  | COM0  |

13.3.2 ブランキング

LCD<EDSP>を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

STOP モードに入ると LCD<EDSP>が“0”にクリアされ、自動的にブランキングがかかります。STOP モード復帰後、LCD の再表示を行うには LCD<EDSP>を“1”にセットする必要があります。

注) リセット時、セグメント専用端子出力、コモン出力は GND レベルとなりますが、入出力ポート / セグメント兼用端子出力はハイインピーダンス状態となります。従って、外部からのリセット入力が著しく長くなる場合は LCD 表示が滲むなどの影響を及ぼす恐れがあります。

# 13.4 LCD ドライバの制御方法

## 13.4.1 初期設定

初期設定のフローチャートを、図 13-5 に示します。

(プログラム例) 32 セグメント×4 コモン、1/4 デューティ LCD をフレーム周波数  $f_c/2^{16}$  [Hz]、昇圧周波数  $f_c/2^{13}$  [Hz] で動作させる場合。

|    |                    |                                             |
|----|--------------------|---------------------------------------------|
| LD | (LCDCR), 01000001B | ; LCD 駆動方法の設定、フレーム周波数の設定、昇圧周波数の設定、昇圧回路イネーブル |
| LD | (PxLCR), 0FFH      | ; PxLCR レジスタの設定 (x; I/O ポート番号)              |
| :  | :                  |                                             |
| :  | :                  | ; 表示データの初期値設定                               |
| LD | (LCDCR), 11000001B | ; 表示イネーブル                                   |

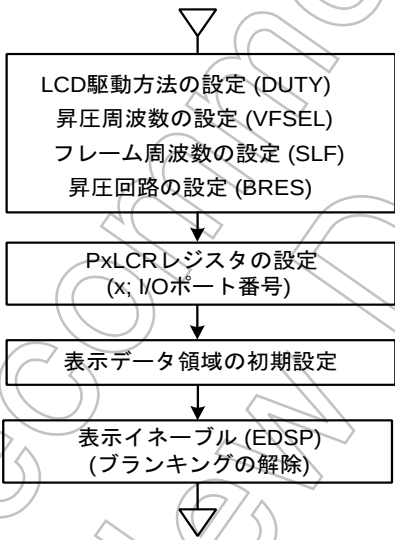


図 13-5 LCD ドライバの初期設定

## 13.4.2 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

(プログラム例) 1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合 (COM, SEG 端子と LCD との接続を図 13-6 としたとき) の表示データは、表 13-6 のようになります。

```
LD      A, (80H)
ADD     A, TABLE-$-7
LD      HL, 0F80H
LD      W, (PC + A)
LD      (HL), W
RET

TABLE:  DB      11011111B, 00000110B,
              11100011B, 10100111B,
              00110110B, 10110101B,
              11110101B, 00010111B,
              11110111B, 10110111B
```

注) DB はバイトデータ定義命令

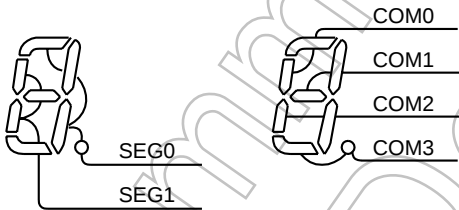


図 13-6 COM, SEG 端子接続例 (1/4 デューティ)

表 13-6 表示データ (1/4 デューティ) の例

| 数字 | 表示 | 表示データ    | 数字 | 表示 | 表示データ    |
|----|----|----------|----|----|----------|
| 0  |    | 11011111 | 5  |    | 10110101 |
| 1  |    | 00000110 | 6  |    | 11110101 |
| 2  |    | 11100011 | 7  |    | 00000111 |
| 3  |    | 10100111 | 8  |    | 11110111 |
| 4  |    | 00110110 | 9  |    | 10110111 |

Example 2: 1/2 デューティ LCD を用いて、表 13-6 と同様の数字表示を行う場合の表示データの例を表 13-7 に示します。COM 端子および SEG 端子の接続方法は図 13-7 の例を用います。

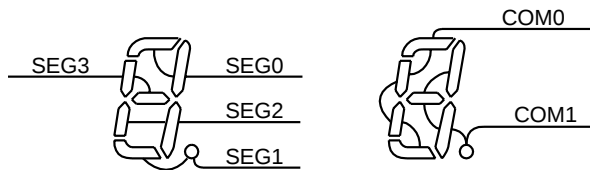


図 13-7 COM, SEG 端子接続例

表 13-7 表示データ (1/2 デューティ) の例

| 数字 | 表示データ    |          | 数字 | 表示データ    |          |
|----|----------|----------|----|----------|----------|
|    | 上位アドレス   | 下位アドレス   |    | 上位アドレス   | 下位アドレス   |
| 0  | **01**11 | **01**11 | 5  | **11**10 | **01**01 |
| 1  | **00**10 | **00**10 | 6  | **11**11 | **01**01 |
| 2  | **10**01 | **01**11 | 7  | **01**10 | **00**11 |
| 3  | **10**10 | **01**11 | 8  | **11**11 | **01**11 |
| 4  | **11**10 | **00**10 | 9  | **11**10 | **01**11 |

注) \*: Don't care

13.4.3 駆動出力例

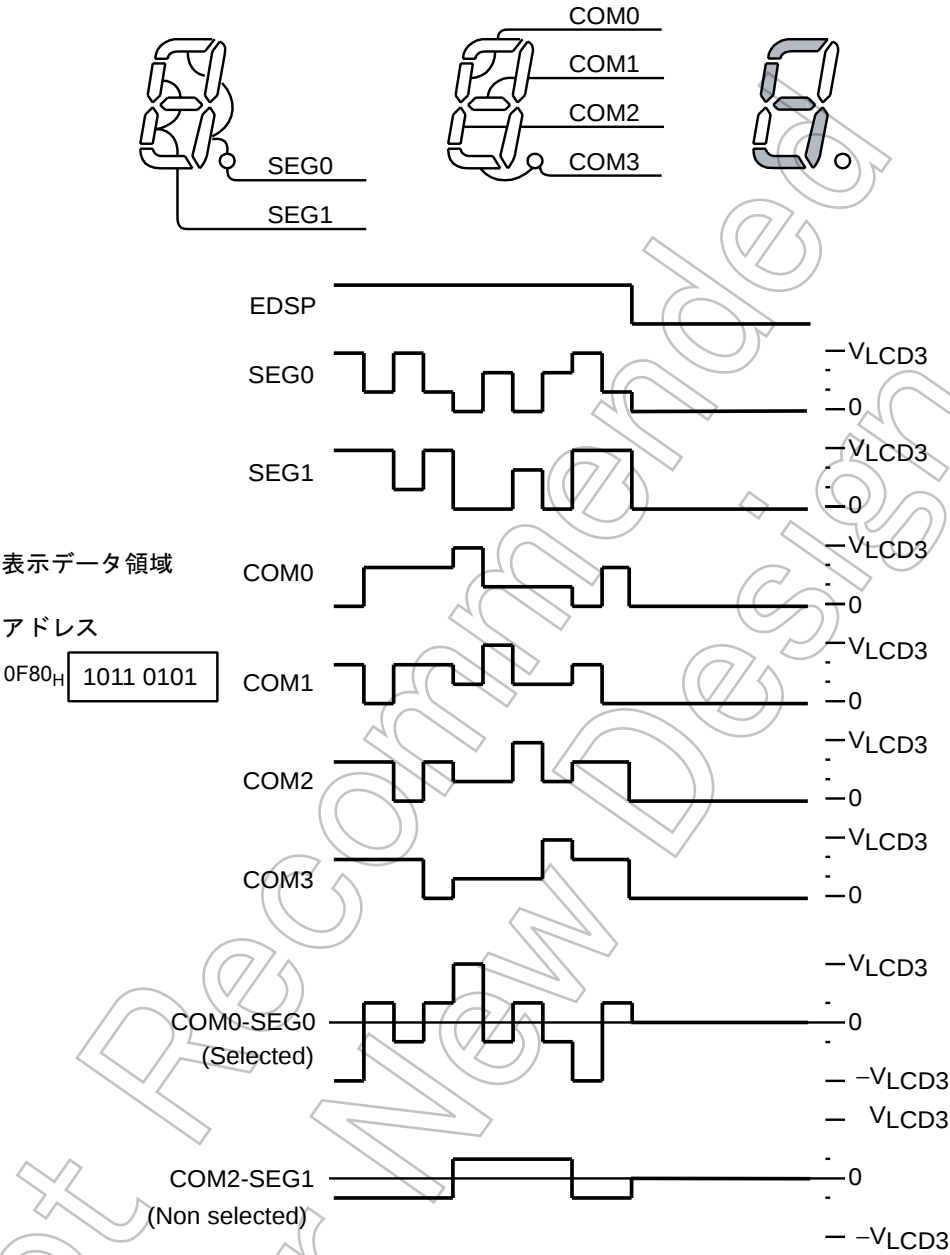


図 13-8 1/4 デューティ (1/3 バイアス) 駆動

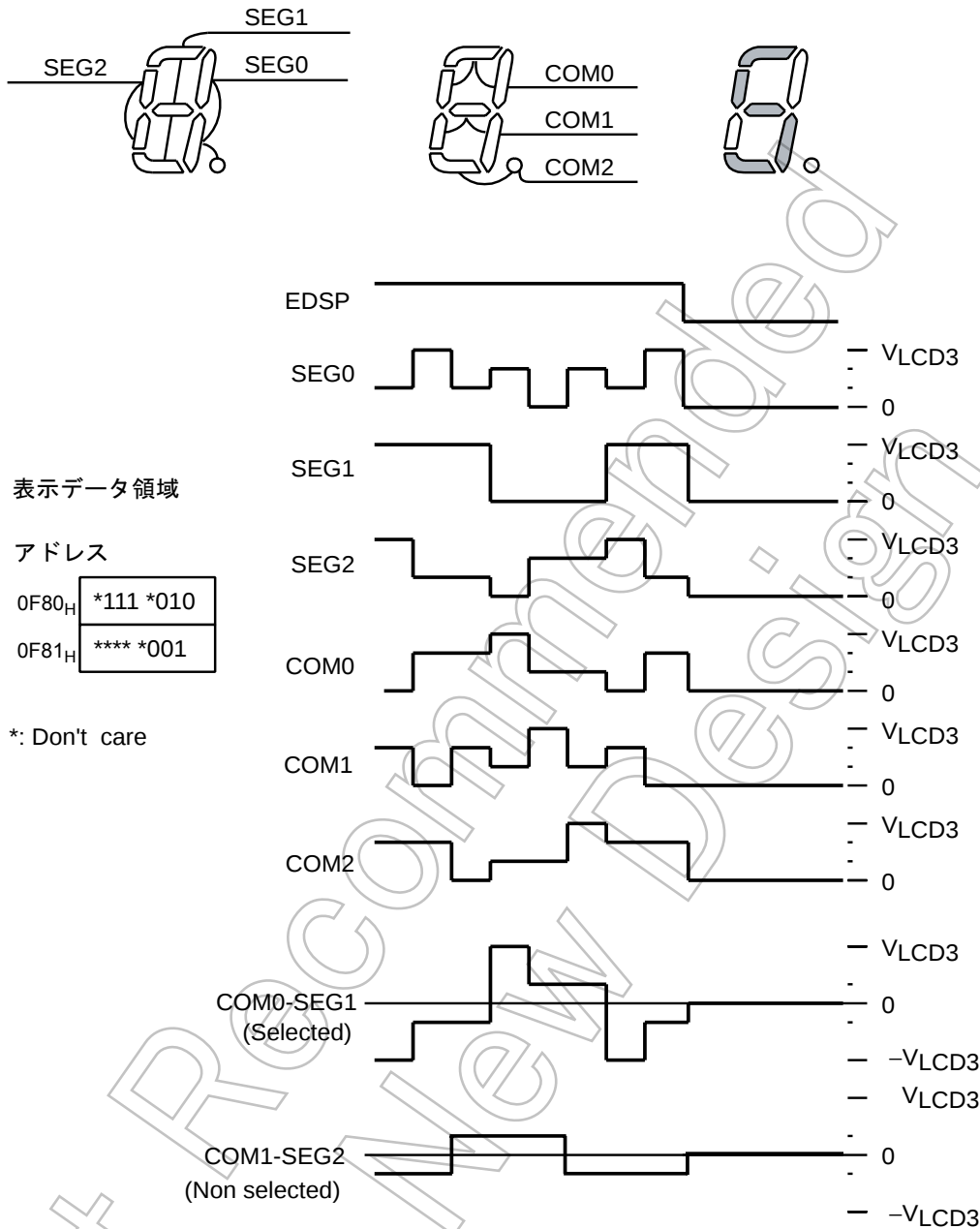


図 13-9 1/3 デューティ (1/3 バイアス) 駆動

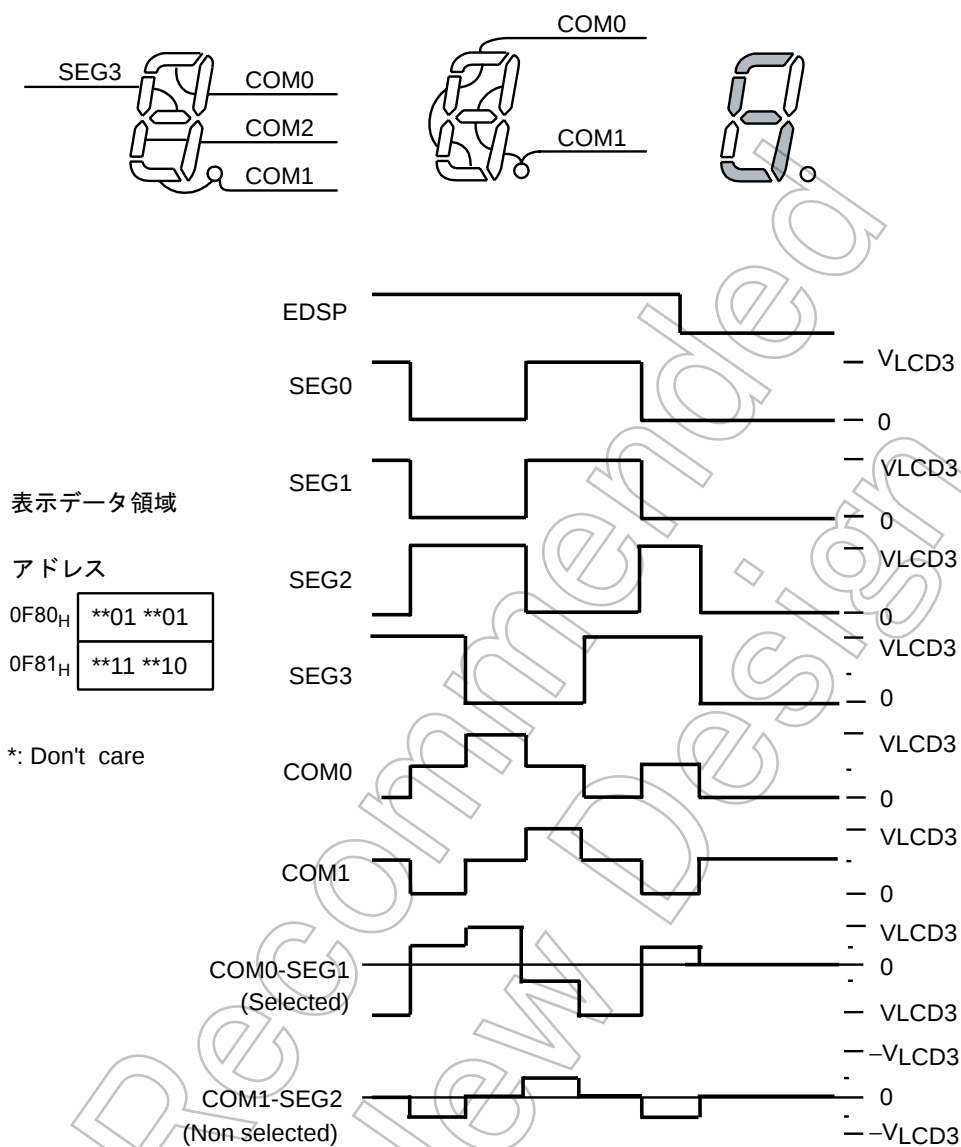
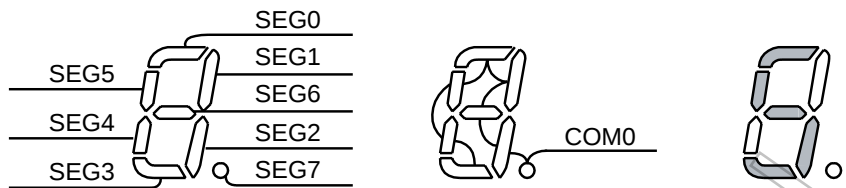


図 13-10 1/2 デューティ (1/2 バイアス) 駆動



表示データ領域

アドレス

|                   |           |
|-------------------|-----------|
| 0F80 <sub>H</sub> | ***0 ***1 |
| 0F81 <sub>H</sub> | ***1 ***1 |
| 0F82 <sub>H</sub> | ***1 ***0 |
| 0F83 <sub>H</sub> | ***0 ***1 |

\*: Don't care

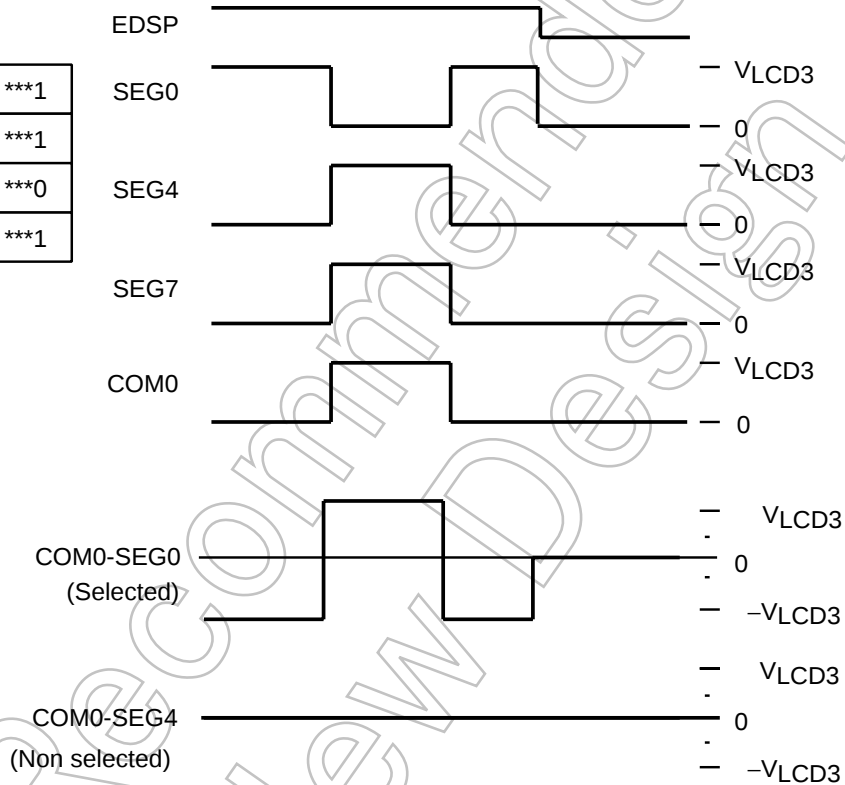


図 13-11 スタティック駆動

Not Recommended  
for New Design

## 第 14 章 OTP 機能

TMP86P820UG は、TMP86C820/420 内蔵のマスク ROM をワンタイム PROM としたもので、そのほかの構成および機能はマスク ROM 品と同一です。なお、TMP86P820UG は、リセット解除時シングルクロックモードとなっています。デュアルクロックモードで使用する場合は、プログラムの先頭で命令 [SET (SYSCR2). XTEN] によって低周波クロックを発振させてください。

### 14.1 動作モード

TMP86P820UG には、MCU モードと PROM モードとがあります。

#### 14.1.1 MCU モード

TEST/VPP 端子を“L”レベルに固定することにより、MCU モードとなります (TEST/VPP 端子は、プルダウン抵抗を内蔵していないため開放して使用することはできません)。

##### 14.1.1.1 プログラムメモリ

TMP86P820UG は 8K バイト (MCU モード時、アドレス E000~FFFFH 番地。PROM モード時、アドレス 0000~1FFFH 番地) のワンタイム PROM を内蔵しています。TMP86P820UG をマスク ROM 品のシステム評価用として用いる場合は、図 14-1 に示したプログラム格納エリアにプログラムを書き込みます。

また TMP86P820UG はいくつかの ROM サイズのマスク ROM に対応できるようになっていますので、ワンタイム PROM とご希望のマスク ROM のメモリサイズおよびプログラム格納エリアの差異についてご確認ください、ご使用願います。

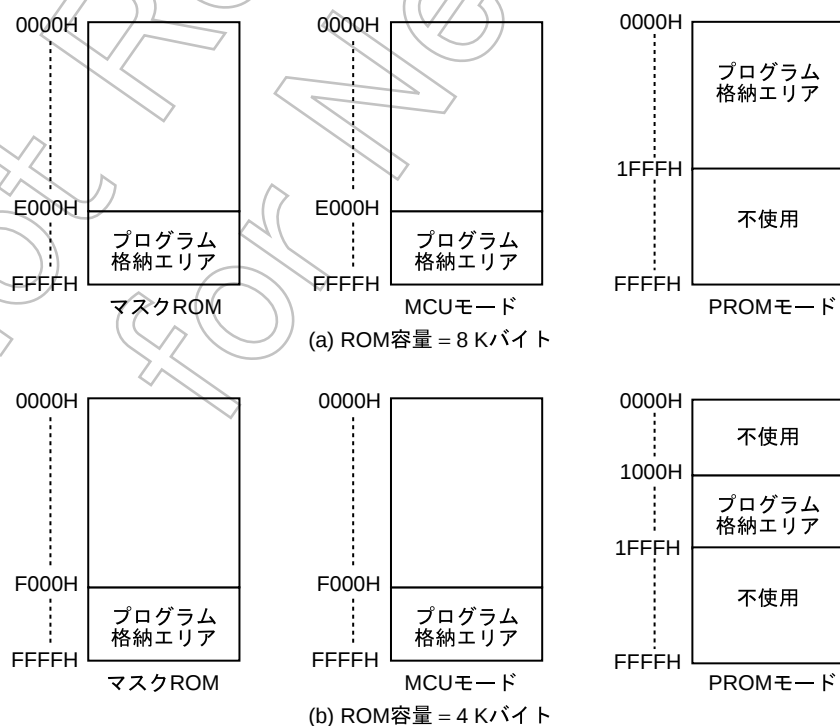


図 14-1 プログラム格納エリア

注) 不使用エリアはデータを FFH とするか、汎用 PROM プログラムの設定をプログラム格納エリアのみ  
アクセスするように設定してください。

14.1.1.2 データメモリ

TMP86P820UG は 256 バイトのデータメモリ (スタティック RAM) を内蔵しています。

14.1.1.3 端子の入出力回路

1. 制御端子
- TEST 端子にプルダウン抵抗を内蔵していない以外は、TMP86C820/420 と同じです。
2. 入出力ポート
- TMP86P820UG の入出力ポートの入出力回路は TMP86C820/420 と同じです。

14.1.2 PROM モード

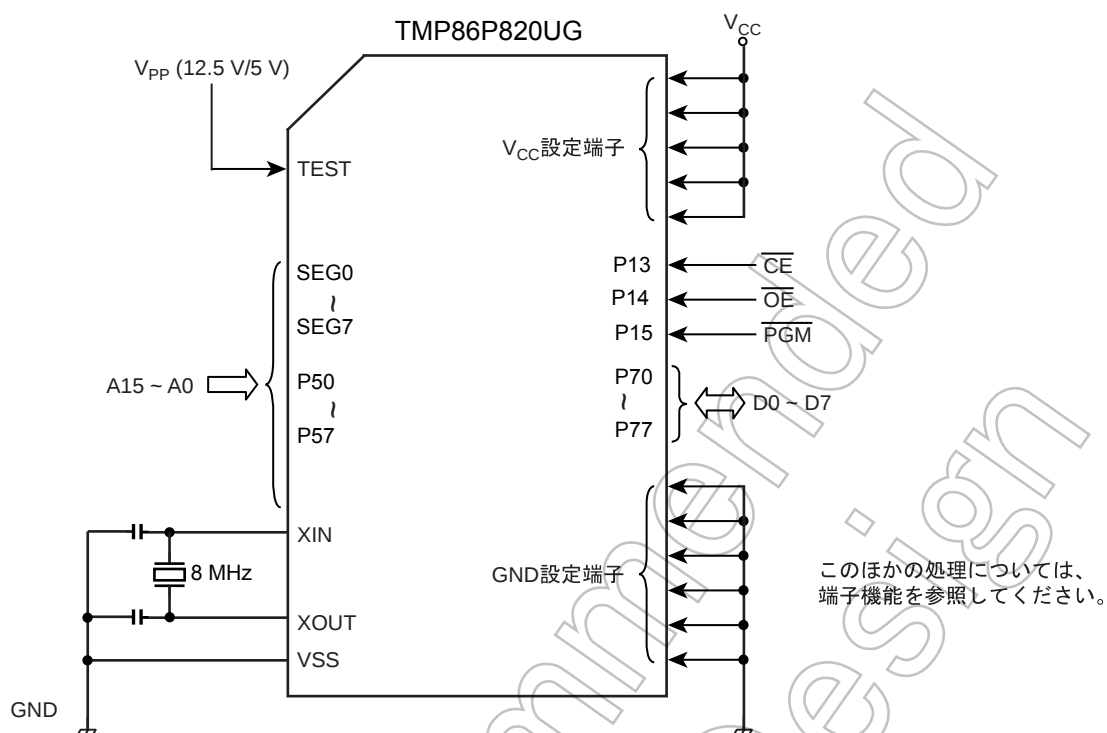
$\overline{\text{RESET}}$  端子, TEST 端子、その他の各ポートを表 14-1 または 図 14-2 のように設定することにより PROM モードになります。PROM モードでは、汎用 PROM プログラムを用いて、プログラムの書き込み/ベリファイを行うことができます。

表 14-1 PROM モードの端子名

| 端子名<br>(PROM モード時)        | 入出力  | 機能                                                                   | 端子名<br>(MCU モード時)         |
|---------------------------|------|----------------------------------------------------------------------|---------------------------|
| A15 ~ A8                  | 入力   | プログラムメモリアドレス入力                                                       | P57 ~ P50                 |
| A7 ~ A0                   | 入力   | プログラムメモリアドレス入力                                                       | SEG7 ~ SEG0               |
| D7 ~ D0                   | 入出力  | プログラムメモリデータ入出力                                                       | P77 ~ P70                 |
| $\overline{\text{CE}}$    | 入力   | チップイネーブル信号入力                                                         | P13                       |
| $\overline{\text{OE}}$    | 入力   | アウトプットイネーブル信号入力                                                      | P14                       |
| $\overline{\text{PGM}}$   | 入力   | プログラムモード信号入力                                                         | P15                       |
| VPP                       | 電源   | +12.75V/5V (プログラム電源)                                                 | TEST                      |
| VCC                       | 電源   | +6.25V/5V                                                            | VDD                       |
| GND                       | 電源   | 0V                                                                   | VSS                       |
| VCC                       | 設定端子 | PROM モードで” H” レベル固定                                                  | AVDD,P11,P21              |
| GND                       | 設定端子 | PROM モードで” L” レベル固定                                                  | VAREF,P10,P20,P22,P61     |
| $\overline{\text{RESET}}$ | 設定端子 | PROM モードで” L” レベル固定                                                  | $\overline{\text{RESET}}$ |
| XIN (CLK)                 | 入力   | 発振子を取り付けて自己発振させてください<br>外部 CLK 入力の場合は XIN へ入力し、XOUT<br>は OPEN に設定します | XIN                       |
| XOUT                      | 出力   |                                                                      | XOUT                      |

- 注 1) 高速プログラムモードが使用できます (ご使用になる PROM プログラムによって設定が異なりますので PROM プログラムの説明書をご参照ください)。TMP86P820UG は、エレクトリックシグネチャー機能を持っていませんので、PROM プログラムの ROM タイプを TC571000D/AD 相当に設定してください。
- 注 2) PROM モード (TC571000D/AD) の A16 に接続する端子はありません。(オープン)

なお、弊社のサポートしておりますアダプタソケットをご使用される場合、スイッチは“N”側に設定してください。



注 1) EPROM アダプタソケット (TC571000・1M bit EPROM)

注 2) PROM プログラム接続用アダプタソケット  
TMP86P820UG 用 : BM11162

注 3) 内側に記載した端子名は TMP86P820UG 側  
外側に記載した端子名は EPROM 側

図 14-2 PROM モードの設定

### 14.1.2.1 書き込みフローチャート (高速プログラム)

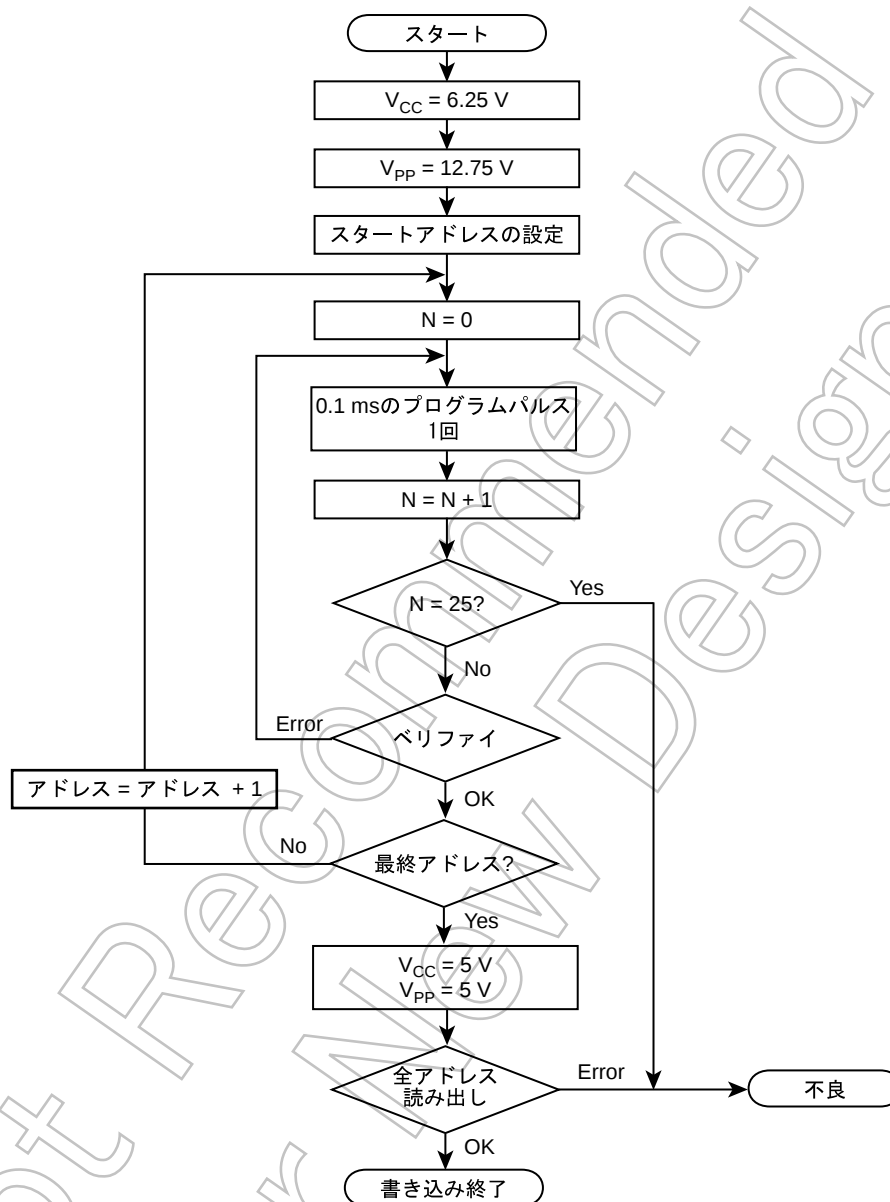


図 14-3 書き込みフローチャート

$V_{CC} = 6.25 \text{ V}$  の状態で、 $V_{PP} = 12.75 \text{ V}$  のプログラム電圧を印加することにより、高速プログラムモードとなります。アドレスおよび入力データを確定した後、 $\overline{\text{PGM}}$  入力に  $0.1 \text{ ms}$  のプログラム (単一) パルスを加えることにより、データが書き込まれます。データが書き込まれているかベリファイを行い、正しく書き込まれていない場合は、再び  $0.1 \text{ ms}$  のプログラムパルスを加え正しく書き込まれるまで (最大 25 回) この操作を繰り返します。設定アドレスに正しくプログラムができたなら、アドレス、入力データを次に進め同様に書き込みを行います。すべての書き込みが終了したら、 $V_{CC} = V_{PP} = 5 \text{ V}$  に設定し、全アドレスのベリファイを行います。

## 14.1.2.2 汎用 PROM プログラマにて、弊社アダプタソケットを用いての書き込み方法

## 1. アダプタの準備

BM11162: TMP86P820UG 用

## 2. アダプタの設定

スイッチ (SW1) を N 側に設定してください。

## 3. PROM プログラムの設定

## a. PROM タイプを TC571000D/AD に設定します。

書き込み電圧 : 12.75 V (高速プログラムモード)

## b. データ転送 (またはコピー) (注 1)

TMP86P820UG の PROM はアクセスするために設定するアドレスが MCU モード時と PROM モード時で異なります。従って、マスク ROM 品に搭載する ROM の内容を TMP86P820UG の PROM に書き込む場合、あらかじめ MCU モード時のアドレスから PROM モード時のアドレスにデータを転送 (コピー) などする必要があります。MCU モードと PROM モードのプログラムエリアの対応は、“図 14-1 プログラム格納エリア”を参照してください。

例 : ブロック転送 (コピー) モードで、下記を実行

ROM 容量が 8 KB の場合 : 0E000~0FFFFH → 00000~01FFFFH

ROM 容量が 4 KB の場合 : 0F000~0FFFFH → 01000~01FFFFH

## c. 書き込みアドレスを設定してください。(注 1)

開始アドレス : 0000H (ROM 容量が 4 KB の場合は 1000H)

終了アドレス : 1FFFFH

## 4. 書き込み

PROM プログラムの操作手順に従って書き込み / ベリファイを行ってください。

注 1) 設定方法は、PROM プログラムの説明書を参照してください。また、アドレス不使用領域のデータは必ず FFH に設定してください。

注 2) MCU をアダプタにセットする場合、またはアダプタを PROM プログラマにセットする場合は 1 ピンの位置を合わせてセットしてください。間違えて逆向きにセットすると MCU、アダプタおよび PROM プログラマにダメージを与えます。

注 3) TMP86P820UG はエレクトリックシグネチャーモード (以下シグネチャー) はサポートしていません。従って、PROM プログラマでシグネチャーを使用すると、アドレスの 9 番ピン (A9) に 12 V ± 0.5 V の電圧が印加されるためデバイスにダメージを与えます。シグネチャーを使わないでください。

Not Recommended  
for New Design

# 第 15 章 端子の入出力回路

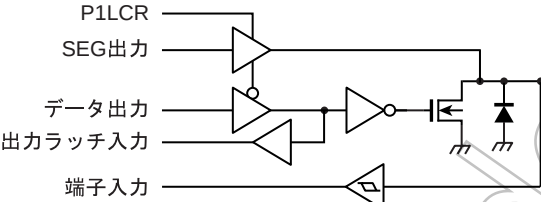
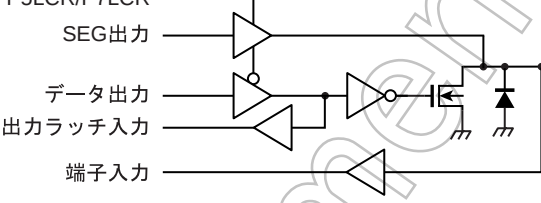
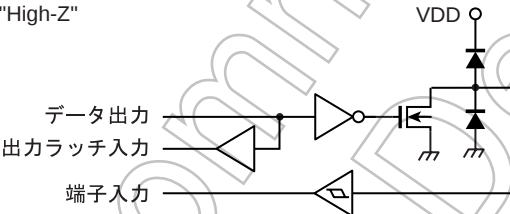
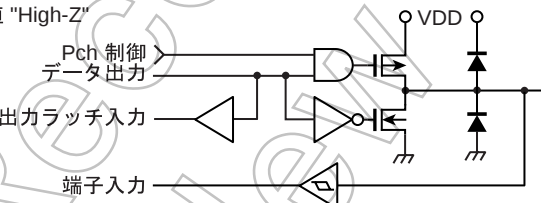
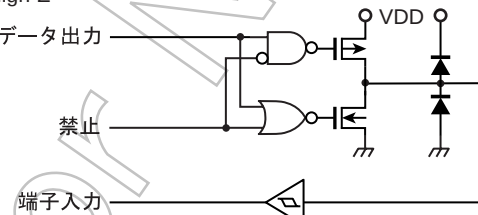
## 15.1 制御端子

TMP86P820UG の制御端子の入出力回路を示します。

| 制御端子                      | 入出力      | 回 路 | 備 考                                                                                                               |
|---------------------------|----------|-----|-------------------------------------------------------------------------------------------------------------------|
| XIN<br>XOUT               | 入力<br>出力 |     | 高周波発振子接続端子<br>$R_f = 1.2 \text{ M}\Omega$ (typ.)<br>$R_O = 1.0 \text{ k}\Omega$ (typ.)                            |
| XTIN<br>XTOUT             | 入力<br>出力 |     | 低周波発振子接続端子<br>$R_f = 6 \text{ M}\Omega$ (typ.)<br>$R_O = 220 \text{ k}\Omega$ (typ.)                              |
| $\overline{\text{RESET}}$ | 入出力      |     | シンクオープンドレイン出力<br>ヒステリシス入力<br>プルアップ抵抗内蔵<br>$R_{IN} = 220 \text{ k}\Omega$ (typ.)<br>$R = 1 \text{ k}\Omega$ (typ.) |
| TEST                      | 入力       |     | プルダウン抵抗なし<br>$R = 1 \text{ k}\Omega$ (typ.)<br>MCU モードでは必ず "L" レベルに<br>固定してください。                                  |

注 ) TMP86P820 の TEST 端子にはプルダウン抵抗と保護ダイオード ( $D_1$ ) は内蔵されていません。MCU モードでは、必ず "L" レベルに固定してください。

15.2 入出力ポート

| ポート      | 入出力 | 入出力回路およびコード                                                                                              | 備 考                                                                       |
|----------|-----|----------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------|
| P1       | 入出力 | <p>初期値 "High-Z"</p>    | シンクオープンドレイン出力<br>ヒステリシス入力                                                 |
| P5<br>P7 | 入出力 | <p>初期値 "High-Z"</p>    | シンクオープンドレイン出力                                                             |
| P2       | 入出力 | <p>初期値 "High-Z"</p>   | シンクオープンドレイン出力<br>ヒステリシス入力                                                 |
| P3       | 入出力 | <p>初期値 "High-Z"</p>  | シンクオープンドレイン<br>または C-MOS 出力<br>ヒステリシス入力<br>大電流出力 (Nch)<br>プログラマブルポートオプション |
| P6       | 入出力 | <p>初期値 "High-Z"</p>  | トライステート入出力<br>ヒステリシス入力                                                    |

注 ) P1, P5, P7 ポートはシンクオープンドレイン出力ですが、LCD セグメント出力と兼用のため、ポートの入力電圧の絶対最大定格は  $-0.3 \sim V_{DD} + 0.3$  [V] となります。

# 第 16 章 電気的特性

## 16.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

( $V_{SS} = 0\text{ V}$ )

| 項目                                      | 記号                | 端子                     | 規格                   | 単位                 |
|-----------------------------------------|-------------------|------------------------|----------------------|--------------------|
| 電源電圧                                    | $V_{DD}$          |                        | -0.3~6.5             | V                  |
| プログラム電圧                                 | $V_{PP}$          | TEST/ $V_{PP}$         | -0.3~13.0            | V                  |
| 入力電圧                                    | $V_{IN}$          |                        | -0.3~ $V_{DD} + 0.3$ | V                  |
| 出力電圧                                    | $V_{OUT}$         |                        | -0.3~ $V_{DD} + 0.3$ | V                  |
| 出力電流 (1 端子当たり)                          | $I_{OUT1}$        | P3, P6 ポート             | -1.8                 | mA                 |
|                                         | $I_{OUT2}$        | P1, P2, P5, P6, P7 ポート | 3.2                  |                    |
|                                         | $I_{OUT3}$        | P3 ポート                 | 30                   |                    |
| 出力電流 (全端子総計)                            | $\Sigma I_{OUT2}$ | P1, P2, P5, P6, P7 ポート | 60                   |                    |
|                                         | $\Sigma I_{OUT3}$ | P3 ポート                 | 80                   |                    |
| 消費電力 [ $T_{opr} = 85^{\circ}\text{C}$ ] | PD                |                        | 350                  | mW                 |
| はんだ付け温度 (時間)                            | $T_{sld}$         |                        | 260 (10 s)           | $^{\circ}\text{C}$ |
| 保存温度                                    | $T_{stg}$         |                        | -55~125              |                    |
| 動作温度                                    | $T_{opr}$         |                        | -40~85               |                    |

16.2 推奨動作条件

推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 ( 電源電圧、動作温度範囲、AC/DC 規定値 ) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

(V<sub>SS</sub> = 0 V, Topr = -40~85°C)

| 項目       | 記号               | 端子          | 条件                            |                         | Min                     | Max             | 単位                     |
|----------|------------------|-------------|-------------------------------|-------------------------|-------------------------|-----------------|------------------------|
| 電源電圧     | V <sub>DD</sub>  |             | fc = 16 MHz                   | NORMAL1, 2 モード          | 4.5                     | 5.5             | V                      |
|          |                  |             |                               | IDLE0, 1, 2 モード         |                         |                 |                        |
|          |                  |             | fc = 8 MHz                    | NORMAL1, 2 モード          | 2.7                     |                 |                        |
|          |                  |             |                               | IDLE0, 1, 2 モード         |                         |                 |                        |
|          |                  |             | fc = 4.2 MHz                  | NORMAL1, 2 モード          | 1.8                     |                 |                        |
|          |                  |             |                               | IDLE0, 1, 2 モード         |                         |                 |                        |
|          |                  |             | fs = 32.768 kHz               | SLOW1, 2 モード            |                         |                 |                        |
|          |                  |             |                               | SLEEP0, 1, 2 モード        |                         |                 |                        |
|          | STOP モード         |             |                               |                         |                         |                 |                        |
| 高レベル入力電圧 | V <sub>IH1</sub> | ヒステリシス入力を除く | V <sub>DD</sub> ≥ 4.5 V       | V <sub>DD</sub> × 0.70  |                         | V <sub>DD</sub> |                        |
|          | V <sub>IH2</sub> | ヒステリシス入力    |                               | V <sub>DD</sub> × 0.75  |                         |                 |                        |
|          | V <sub>IH3</sub> |             |                               | V <sub>DD</sub> < 4.5 V | V <sub>DD</sub> × 0.90  |                 |                        |
| 低レベル入力電圧 | V <sub>IL1</sub> | ヒステリシス入力を除く | V <sub>DD</sub> ≥ 4.5 V       | 0                       | V <sub>DD</sub> × 0.30  |                 |                        |
|          | V <sub>IL2</sub> | ヒステリシス入力    |                               |                         | V <sub>DD</sub> × 0.25  |                 |                        |
|          | V <sub>IL3</sub> |             |                               |                         | V <sub>DD</sub> < 4.5 V |                 | V <sub>DD</sub> × 0.10 |
| クロック周波数  | fc               | XIN, XOUT   | V <sub>DD</sub> = 1.8 V~5.5 V | 1.0                     | 4.2                     | MHz             |                        |
|          |                  |             | V <sub>DD</sub> = 2.7 V~5.5 V |                         | 8.0                     |                 |                        |
|          |                  |             | V <sub>DD</sub> = 4.5 V~5.5 V |                         | 16.0                    |                 |                        |
|          | fs               | XTIN, XTOUT |                               | 30.0                    | 34.0                    | kHz             |                        |

## 16.3 DC 特性

(V<sub>SS</sub> = 0 V, Topr = -40~85°C)

| 項目                      | 記号               | 端子                         | 条件                                                                                         | Min | Typ. | Max | 単位 |
|-------------------------|------------------|----------------------------|--------------------------------------------------------------------------------------------|-----|------|-----|----|
| ヒステリシス電圧                | V <sub>HS</sub>  | ヒステリシス入力                   |                                                                                            | —   | 0.9  | —   | V  |
| 入力電流                    | I <sub>IN1</sub> | TEST                       | V <sub>DD</sub> = 5.5 V, V <sub>IN</sub> = 5.5 V/0 V                                       | —   | —    | ±2  | μA |
|                         | I <sub>IN2</sub> | シンクオープンドレイン、<br>トライステートポート |                                                                                            |     |      |     |    |
|                         | I <sub>IN3</sub> | RESET, STOP                |                                                                                            |     |      |     |    |
| 入力抵抗                    | R <sub>IN1</sub> | RESET プルアップ                | V <sub>DD</sub> = 5.5 V, V <sub>IN</sub> = 0.0 V                                           | 100 | 220  | 450 | kΩ |
| 出力リーク電流                 | I <sub>LO</sub>  | シンクオープンドレイン、<br>トライステートポート | V <sub>DD</sub> = 5.5 V, V <sub>OUT</sub> = 5.5 V/0 V                                      | —   | —    | ±2  | μA |
| 高レベル出力電圧                | V <sub>OH2</sub> | CMOS, トライステート<br>ポート       | V <sub>DD</sub> = 4.5 V, I <sub>OH</sub> = -0.7 mA                                         | 4.1 | —    | —   | V  |
| 低レベル出力電圧                | V <sub>OL</sub>  | XOUT, P3 ポートを除く            | V <sub>DD</sub> = 4.5 V, I <sub>OL</sub> = 1.6 mA                                          | —   | —    | 0.4 |    |
| 低レベル出力電流                | I <sub>OL</sub>  | 大電流 (P3 ポート)               | V <sub>DD</sub> = 4.5 V, V <sub>OL</sub> = 1.0 V                                           | —   | 20   | —   | mA |
| NORMAL1, 2<br>モード時電源電流  | I <sub>DD</sub>  |                            | V <sub>DD</sub> = 5.5 V<br>V <sub>IN</sub> = 5.3 V/0.2 V<br>fc = 16 MHz<br>fs = 32.768 kHz | —   | 7.5  | 9   | mA |
| IDLE0, 1, 2<br>モード時電源電流 |                  |                            |                                                                                            | —   | 5.5  | 6.5 |    |
| SLOW1 モード時<br>電源電流      |                  |                            | V <sub>DD</sub> = 3.0 V<br>V <sub>IN</sub> = 2.8 V/0.2 V<br>fs = 32.768 kHz<br>LCD 未使用時    | —   | 18   | 42  | μA |
| SLEEP1 モード時<br>電源電流     |                  |                            |                                                                                            | —   | 16   | 25  |    |
| SLEEP0 モード時<br>電源電流     |                  |                            |                                                                                            | —   | 12   | 20  |    |
| STOP モード時<br>電源電流       |                  |                            | V <sub>DD</sub> = 5.5 V<br>V <sub>IN</sub> = 5.3 V/0.2 V                                   | —   | 0.5  | 10  |    |

注 1) Typ. 値は、条件に指定なき場合 Topr = 25°C, V<sub>DD</sub> = 5 V 時の値を示します。注 2) 入力電流 I<sub>IN3</sub>: プルアップ抵抗による電流を除きます。注 3) I<sub>DD</sub> は、I<sub>REF</sub> を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

## 16.4 AD 変換特性

 $(V_{SS} = 0.0 \text{ V}, 4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}, T_{opr} = -40 \sim 85^{\circ}\text{C})$ 

| 項目                 | 記号                 | 条件                                                                                                 | Min                    | Typ. | Max               | 単位  |
|--------------------|--------------------|----------------------------------------------------------------------------------------------------|------------------------|------|-------------------|-----|
| アナログ基準電源電圧         | V <sub>AREF</sub>  |                                                                                                    | A <sub>VDD</sub> - 1.0 | —    | A <sub>VDD</sub>  | V   |
| アナログ制御回路電源電圧       | A <sub>VDD</sub>   |                                                                                                    | V <sub>DD</sub>        |      |                   |     |
| アナログ基準電源電圧範囲 (注 4) | ΔV <sub>AREF</sub> |                                                                                                    | 3.5                    | —    | —                 |     |
| アナログ入力電圧範囲         | V <sub>AIN</sub>   |                                                                                                    | V <sub>SS</sub>        | —    | V <sub>AREF</sub> |     |
| アナログ基準電圧電源電流       | I <sub>REF</sub>   | V <sub>DD</sub> = A <sub>VDD</sub> = V <sub>AREF</sub> = 5.5 V<br>V <sub>SS</sub> = 0.0 V          | —                      | 0.6  | 1.0               | mA  |
| 非直線性誤差             |                    | V <sub>DD</sub> = A <sub>VDD</sub> = 5.0 V<br>V <sub>SS</sub> = 0.0 V<br>V <sub>AREF</sub> = 5.0 V | —                      | —    | ±1                | LSB |
| ゼロ誤差               |                    |                                                                                                    | —                      | —    | ±1                |     |
| フルスケール誤差           |                    |                                                                                                    | —                      | —    | ±1                |     |
| 総合誤差               |                    |                                                                                                    | —                      | —    | ±2                |     |

 $(V_{SS} = 0.0 \text{ V}, 2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}, T_{opr} = -40 \sim 85^{\circ}\text{C})$ 

| 項目                 | 記号                 | 条件                                                                                                                    | Min                    | Typ. | Max               | 単位  |
|--------------------|--------------------|-----------------------------------------------------------------------------------------------------------------------|------------------------|------|-------------------|-----|
| アナログ基準電源電圧         | V <sub>AREF</sub>  |                                                                                                                       | A <sub>VDD</sub> - 1.0 | —    | A <sub>VDD</sub>  | V   |
| アナログ制御回路電源電圧       | A <sub>VDD</sub>   |                                                                                                                       | V <sub>DD</sub>        |      |                   |     |
| アナログ基準電源電圧範囲 (注 4) | ΔV <sub>AREF</sub> |                                                                                                                       | 2.5                    | —    | —                 |     |
| アナログ入力電圧範囲         | V <sub>AIN</sub>   |                                                                                                                       | V <sub>SS</sub>        | —    | V <sub>AREF</sub> |     |
| アナログ基準電圧電源電流       | I <sub>REF</sub>   | V <sub>DD</sub> = A <sub>VDD</sub> = V <sub>AREF</sub> = 4.5 V<br>V <sub>SS</sub> = 0.0 V                             | —                      | 0.5  | 0.8               | mA  |
| 非直線性誤差             |                    | V <sub>DD</sub> = A <sub>VDD</sub> = 2.7 V<br>V <sub>SS</sub> = A <sub>VSS</sub> = 0.0 V<br>V <sub>AREF</sub> = 2.7 V | —                      | —    | ±1                | LSB |
| ゼロ誤差               |                    |                                                                                                                       | —                      | —    | ±1                |     |
| フルスケール誤差           |                    |                                                                                                                       | —                      | —    | ±1                |     |
| 総合誤差               |                    |                                                                                                                       | —                      | —    | ±2                |     |

 $(V_{SS} = 0.0 \text{ V}, 2.0 \text{ V} \leq V_{DD} < 2.7 \text{ V}, T_{opr} = -40 \sim 85^{\circ}\text{C})$  (注 5) $(V_{SS} = 0.0 \text{ V}, 1.8 \text{ V} \leq V_{DD} < 2.0 \text{ V}, T_{opr} = -10 \sim 85^{\circ}\text{C})$  (注 5)

| 項目                 | 記号                | 条件                                                                                        | Min             | Typ. | Max        | 単位  |
|--------------------|-------------------|-------------------------------------------------------------------------------------------|-----------------|------|------------|-----|
| アナログ基準電源電圧         | $V_{AREF}$        |                                                                                           | $A_{VDD} - 0.9$ | —    | $A_{VDD}$  | V   |
| アナログ制御回路電源電圧       | $A_{VDD}$         |                                                                                           | $V_{DD}$        |      |            |     |
| アナログ基準電源電圧範囲 (注 4) | $\Delta V_{AREF}$ | $1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$                                                 | 1.8             | —    | —          |     |
|                    |                   | $2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$                                                 | 2.0             | —    | —          |     |
| アナログ入力電圧範囲         | $V_{AIN}$         |                                                                                           | $V_{SS}$        | —    | $V_{AREF}$ |     |
| アナログ基準電圧電源電流       | $I_{REF}$         | $V_{DD} = A_{VDD} = V_{AREF} = 2.7\text{ V}$<br>$V_{SS} = 0.0\text{ V}$                   | —               | 0.3  | 0.5        | mA  |
| 非直線性誤差             |                   | $V_{DD} = A_{VDD} = 1.8\text{ V}$<br>$V_{SS} = 0.0\text{ V}$<br>$V_{AREF} = 1.8\text{ V}$ | —               | —    | $\pm 2$    | LSB |
| ゼロ誤差               |                   |                                                                                           | —               | —    | $\pm 2$    |     |
| フルスケール誤差           |                   |                                                                                           | —               | —    | $\pm 2$    |     |
| 総合誤差               |                   |                                                                                           | —               | —    | $\pm 4$    |     |

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、8bit AD コンバータの「レジスタ構成」の章を参照ください。

注 3)  $A_{IN}$  入力端子への入力電圧は  $V_{AREF} \sim V_{SS}$  範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。注 4) アナログ基準電源電圧範囲:  $\Delta V_{AREF} = V_{AREF} - V_{SS}$ 注 5)  $V_{DD} = 2.7 \text{ V}$  未満で AD を使用する場合、動作電圧によって温度保証範囲が異なります。

注 6) AD コンバータを使用しない場合、 $A_{VDD}$  端子は  $V_{DD}$  レベルに固定してください。

Not Recommended  
for New Design

16.5 AC 特性

(V<sub>SS</sub> = 0 V, V<sub>DD</sub> = 4.5~5.5 V, T<sub>opr</sub> = -40~85°C)

| 項目           | 記号               | 条件                  | Min   | Typ.  | Max   | 単位 |
|--------------|------------------|---------------------|-------|-------|-------|----|
| マシンサイクルタイム   | tcy              | NORMAL1, 2 モード時     | 0.25  | —     | 4     | μs |
|              |                  | IDLE0, 1, 2 モード時    |       |       |       |    |
|              |                  | SLOW1, 2 モード時       | 117.6 | —     | 133.3 |    |
|              |                  | SLEEP0, 1, 2 モード時   |       |       |       |    |
| 高レベルクロックパルス幅 | t <sub>WCH</sub> | 外部クロック動作 (XIN 入力 )  | —     | 31.25 | —     | ns |
| 低レベルクロックパルス幅 | t <sub>WCL</sub> | fc = 16 MHz 時       |       |       |       |    |
| 高レベルクロックパルス幅 | t <sub>WSH</sub> | 外部クロック動作 (XTIN 入力 ) | —     | 15.26 | —     | μs |
| 低レベルクロックパルス幅 | t <sub>WSL</sub> | fs = 32.768 kHz 時   |       |       |       |    |

(V<sub>SS</sub> = 0 V, V<sub>DD</sub> = 2.7~4.5 V, T<sub>opr</sub> = -40~85°C)

| 項目           | 記号               | 条件                  | Min   | Typ.  | Max   | 単位 |
|--------------|------------------|---------------------|-------|-------|-------|----|
| マシンサイクルタイム   | tcy              | NORMAL1, 2 モード時     | 0.5   | -     | 4     | μs |
|              |                  | IDLE0, 1, 2 モード時    |       |       |       |    |
|              |                  | SLOW1, 2 モード時       | 117.6 | -     | 133.3 |    |
|              |                  | SLEEP0, 1, 2 モード時   |       |       |       |    |
| 高レベルクロックパルス幅 | t <sub>WCH</sub> | 外部クロック動作 (XIN 入力 )  | -     | 62.5  | -     | ns |
| 低レベルクロックパルス幅 | t <sub>WCL</sub> | fc = 8 MHz 時        |       |       |       |    |
| 高レベルクロックパルス幅 | t <sub>WSH</sub> | 外部クロック動作 (XTIN 入力 ) | -     | 15.26 | -     | μs |
| 低レベルクロックパルス幅 | t <sub>WSL</sub> | fs = 32.768 kHz 時   |       |       |       |    |

(V<sub>SS</sub> = 0 V, V<sub>DD</sub> = 1.8~2.7 V, T<sub>opr</sub> = -40~85°C)

| 項目           | 記号               | 条件                                       | Min   | Typ.   | Max   | 単位 |
|--------------|------------------|------------------------------------------|-------|--------|-------|----|
| マシンサイクルタイム   | t <sub>cy</sub>  | NORMAL1, 2 モード時                          | 0.95  | -      | 4     | μs |
|              |                  | IDLE0, 1, 2 モード時                         |       |        |       |    |
|              |                  | SLOW1, 2 モード時                            | 117.6 | -      | 133.3 |    |
|              |                  | SLEEP0, 1, 2 モード時                        |       |        |       |    |
| 高レベルクロックパルス幅 | t <sub>WCH</sub> | 外部クロック動作 (XIN 入力 )<br>fc = 4.2 MHz 時     | -     | 119.05 | -     | ns |
| 低レベルクロックパルス幅 | t <sub>WCL</sub> |                                          |       |        |       |    |
| 高レベルクロックパルス幅 | t <sub>WSH</sub> | 外部クロック動作 (XTIN 入力 )<br>fs = 32.768 kHz 時 | -     | 15.26  | -     | μs |
| 低レベルクロックパルス幅 | t <sub>WSL</sub> |                                          |       |        |       |    |

16.6 タイマカウンタ 1 入力 (ECIN) 特性

(V<sub>SS</sub> = 0 V, T<sub>opr</sub> = -40~85°C)

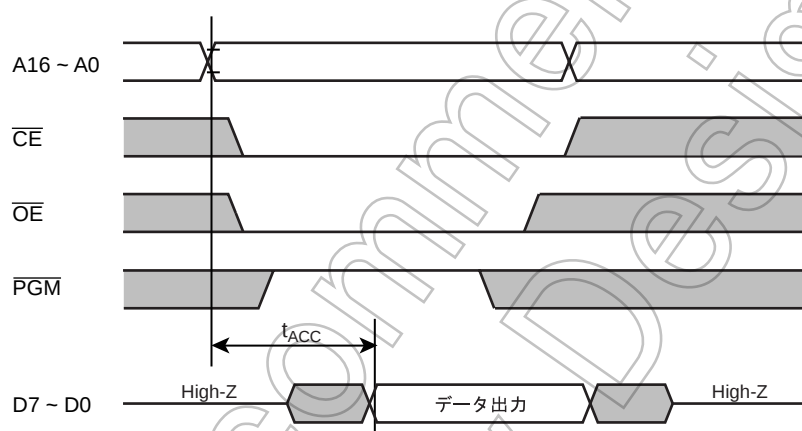
| 項目                        | 記号               | 条件                                     |          | Min | Typ. | Max | 単位  |
|---------------------------|------------------|----------------------------------------|----------|-----|------|-----|-----|
| タイマカウンタ 1 入力<br>(ECIN 入力) | t <sub>TC1</sub> | 周波数測定モード<br>V <sub>DD</sub> = 4.5~5.5V | 片エッジカウント | -   | -    | 16  | MHz |
|                           |                  | 周波数測定モード<br>V <sub>DD</sub> = 4.5~5.5V | 片エッジカウント | -   | -    | 8   |     |
|                           |                  | 周波数測定モード<br>V <sub>DD</sub> = 4.5~5.5V | 片エッジカウント | -   | -    | 4.2 |     |

## 16.7 DC 特性, AC 特性 (PROM モード)

## 16.7.1 リードオペレーション時

(V<sub>SS</sub> = 0 V, T<sub>opr</sub> = -40~85°C)

| 項目             | 記号               | 条件                             | Min  | Typ.                      | Max             | 単位 |
|----------------|------------------|--------------------------------|------|---------------------------|-----------------|----|
| 高レベル入力電圧 (TTL) | V <sub>IH4</sub> |                                | 2.2  | —                         | V <sub>CC</sub> | V  |
| 低レベル入力電圧 (TTL) | V <sub>IL4</sub> |                                | 0    | —                         | 0.8             |    |
| 電源電圧           | V <sub>CC</sub>  |                                | 4.75 | 5.0                       | 5.25            |    |
| プログラム電源電圧      | V <sub>PP</sub>  |                                |      |                           |                 |    |
| アドレスアクセスタイム    | t <sub>ACC</sub> | V <sub>CC</sub> = 5.0 ± 0.25 V | —    | 1.5t <sub>cyc</sub> + 300 | —               | ns |

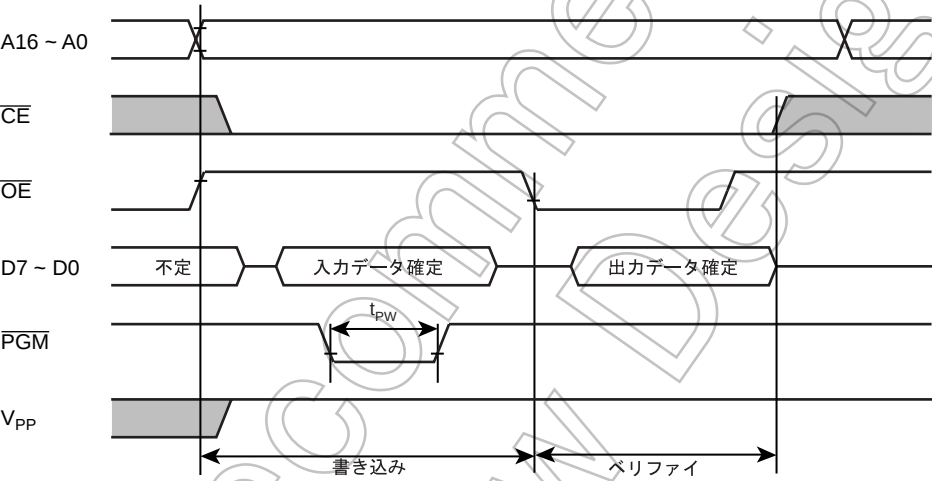
注) t<sub>cyc</sub> = 500 ns, f<sub>CLK</sub> = 8 MHz 時

16.7.2 プログラムオペレーション ( 高速プログラム )

(Topr = 25± 5°C)

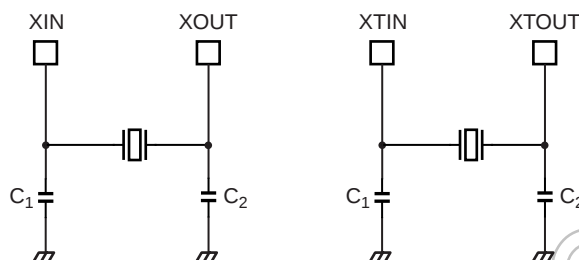
| 項目             | 記号        | 条件                      | Min   | Typ.  | Max      | 単位 |
|----------------|-----------|-------------------------|-------|-------|----------|----|
| 高レベル入力電圧 (TTL) | $V_{IH4}$ |                         | 2.2   | –     | $V_{CC}$ | V  |
| 低レベル入力電圧 (TTL) | $V_{IL4}$ |                         | 0     | –     | 0.8      |    |
| 電源電圧           | $V_{CC}$  |                         | 6.0   | 6.25  | 6.5      |    |
| プログラム電源電圧      | $V_{PP}$  |                         | 12.5  | 12.75 | 13.0     |    |
| 初期プログラムパルス幅    | $t_{PW}$  | $V_{CC} = 6.0\text{ V}$ | 0.095 | 0.1   | 0.105    | ms |

高速プログラム方式



- 注 1)  $V_{PP}$  (12.75 V) 電源は  $V_{CC}$  電源と同時または遅く投入し、遮断時は同時または早く遮断してください。
- 注 2)  $V_{PP} = 12.75\text{ V} \pm 0.25\text{ V}$  の状態でのデバイスの抜き差しは、デバイスにダメージを与えますので、プログラム時の抜き差しはしないでください。
- 注 3) 推奨アダプタと推奨モードを使用してください。これ以外の条件で使用する と書けない恐れがあります。

## 16.8 推奨発振条件



(1) 高周波発振

(2) 低周波発振

- 注 1) 高周波発振に水晶振動子を使用するときは、動作電圧  $V_{DD}$  が 2.7 V 以上のときのみとなります。動作電圧  $V_{DD}$  が 2.7 V 未満のときは、セラミック発振子を使用してください。
- 注 2) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 3) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの同社ホームページをご参照ください。  
<http://www.murata.co.jp>

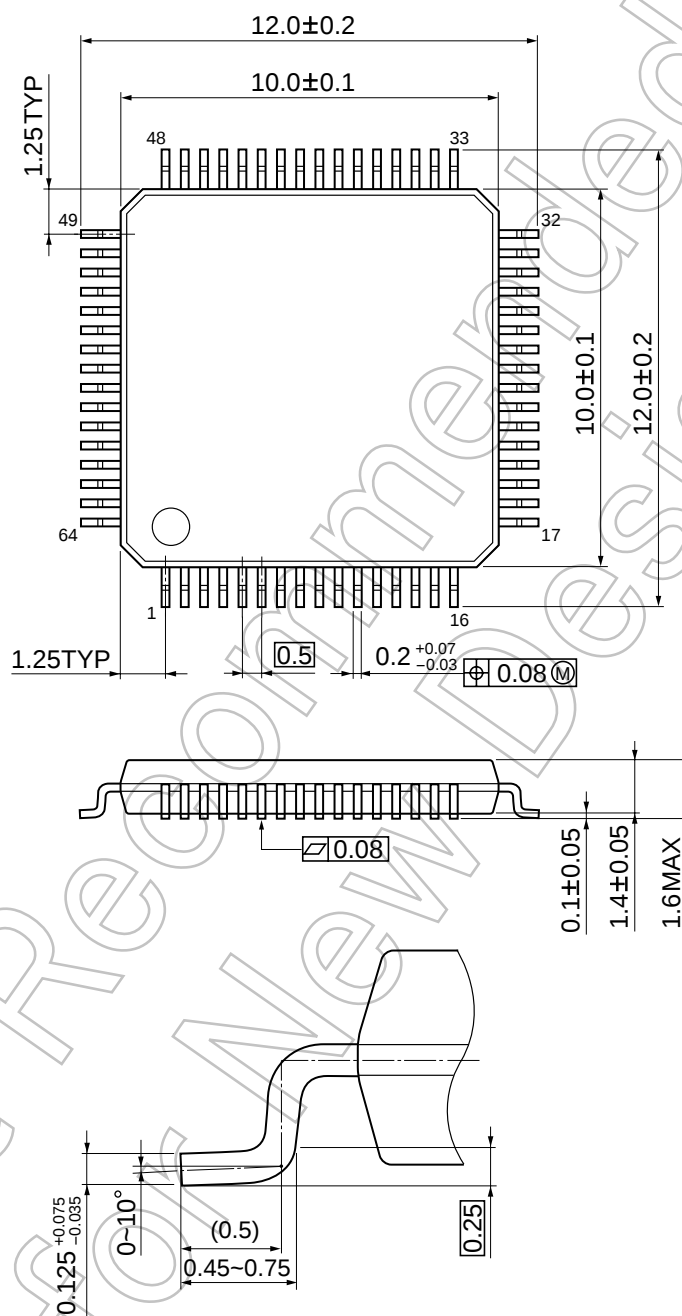
## 16.9 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
  - 試験項目  
はんだ付け性
  - 試験条件  
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)  
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
  - 備考  
フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

Not Recommended  
for New Design

## P-LQFP64-1010-0.50E

Unit: mm



Not Recommended  
for New Design

# あとがき

この資料は TMP86P820UG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年1月15日

## 8 ビットマイクロコントローラ

---

TMP86P820UG

---

発行年月日

2007年 1月 15日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社

---