

# パワーMOSFET 寄生発振、振動

## 概要

本資料はパワーMOSFETの寄生発振、振動現象と対策について述べたものです。

## 目次

概要 .....	1
目次 .....	2
1. MOSFET の発振、振動について（単体使用時） .....	4
2. 発振回路の形成 .....	4
2.1. 発振現象とは.....	4
2.1.1. 帰還回路（正帰還と負帰還） .....	5
2.1.2. 発振条件.....	6
2.2. MOSFET の発振 .....	6
2.2.1. MOSFET の帰還ループ .....	6
2.2.2. コルピッツ回路 .....	7
2.2.3. ハートレー回路.....	8
2.3. MOSFET のスイッチング用途における寄生発振（単独使用） .....	8
2.3.1. 寄生発振回路（寄生発振ループ） .....	9
2.3.2. 寄生発振条件.....	10
2.4. 寄生発振の改善、対策.....	10
3. ドレインインダクタンス誘起電圧振動.....	11
3.1. メカニズム .....	11
3.2. 改善、対策.....	12
4. ソース端子、配線の浮遊インダクタンスによる誘起電圧.....	12
4.1. 改善、対策.....	12
5. シミュレーションによる発振、振動確認.....	13
5.1. 発振回路 .....	13
5.1.1. 発振現象.....	13
5.1.2. 発振改善.....	14
5.2. ドレイン浮遊インダクタンスによる振動 .....	15
5.2.1. 振動現象確認.....	15
5.2.2. 振動改善.....	16
5.3. ソース端子、配線の浮遊インダクタンスによる振動.....	17
5.3.1. 振動現象確認.....	17
5.3.2. 振動改善.....	18

製品取り扱い上のお願い..... 19

## 1. MOSFET の発振、振動について（単体使用時）

MOSFET の発振および振動について考察します。MOSFET をスイッチング用途として使用する場合のケースです。ゲート電圧の発振、振動は、MOSFET の誤動作、損失増加および破壊を招く可能性があります。

MOSFET の発振、振動の主な原因として、以下が挙げられます。

### (1) 発振回路の形成

回路上に MOSFET 発振回路が形成され寄生発振を起こします。

### (2) ドレイン・ソース間電圧サージ電圧に起因

MOSFET オフ時のドレイン・ソース間振動電圧がゲート・ドレイン間容量  $C_{gd}$  を通してゲートに正帰還され、ゲート電圧振動を起こす可能性があります。

### (3) ソースインダクタンスに起因

MOSFET オフ時のドレイン・ソース電流の変化率  $di/dt$  と MOSFET ソース端子、配線の浮遊インダクタンスによる誘起電圧が MOSFET ゲート・ソース間ループで LCR 共振を起こす可能性があります。（ソースインダクタンス誘起電圧振動）

上記以外にも発振、振動の原因はありますが、MOSFET 使用にあたり浮遊インダクタンスに関して注意が必要です。

## 2. 発振回路の形成

### 2.1. 発振現象とは

発振現象とは電気回路などが振動エネルギーを受けることなく電圧および電流が自己振動を行う現象です。実際には回路に抵抗成分があるため振動は減衰するので、その分だけエネルギーを補給しています。

発振現象は下記の二つの条件下で起こります。

#### (1) 位相条件

発振周波数において出力から入力に帰還される信号と入力信号の位相が合っていることです。（正帰還）

#### (2) 振幅条件

発振回路中の受動回路部分による損失分が増幅回路による増幅分より小さいことです。

発振は回路において正帰還が掛かり、損失分を補うだけの増幅がある時に起こります。

### 2.1.1. 帰還回路（正帰還と負帰還）

帰還回路（出力の一部を入力に戻す。）を図 2.1 に示します。

入力電圧: $v_i$ 、出力電圧: $v_o$ 、増幅率: $A$ 、帰還率: $H$

増幅器への入力電圧: $v_1$ 、帰還される電圧: $v_2$

この回路の検証は、通常、図 2.2 のように帰還部分を切断し、 $G_0$ （開ループ利得）を算出します。

$G_0$  は、

$$v_2 = AHv_1 \text{ より}$$

$$G_0 = v_2/v_1 = AH$$

となります。

図 2.2 の帰還がかかったときの利得  $G_c$ （閉ループ利得）は  $G_0 = AH$  を用いて以下のように表されます。

$$v_o = A \cdot v_1 \quad (1)$$

$$v_1 = v_i + H \cdot v_o \quad (2)$$

$$\begin{aligned} (1)(2) \text{式から } v_o &= A(v_i + H \cdot v_o) \\ &= [A/(1-AH)]v_i \quad (3) \end{aligned}$$

$$\text{回路全体の利得 } G_c \text{ は (3) 式から } \mathbf{G_c = v_o/v_i = A/(1-AH)} \quad (4)$$

(4)式において  $AH$ (開ループ利得)が

正の場合は正帰還になり、

負のときは負帰還になります。

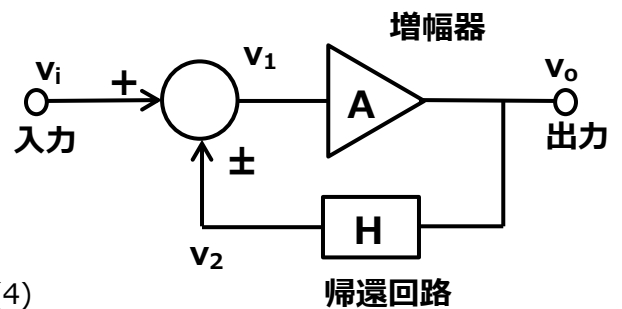


図 2.1 帰還回路

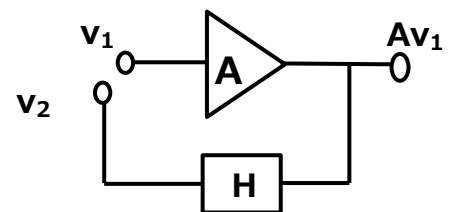


図 2.2 ループ利得

### 2.1.2. 発振条件

正帰還はループ利得  $AH \geq 1$  のとき、回路が不安定となり発振します。

よって増幅器にはあまり使用されず、発振回路に利用されます。(ウィーンブリッジ、コルピッツ、ハートレー発振回路など) 正帰還に限定して言うと(4)式においてループ利得を  $AH=1$  とおくと  $G_c$  は無限大になり発振状態となります。

発振器で使用する場合はループ利得  $AH$  は複素数で表されます。

複素数  $a + bi$  において、 $a$  は実部 (real part)、 $b$  は虚部 (imaginary part) で  $\text{Re}(AH)$ 、 $\text{Im}(AH)$  とすると

$$AH = \text{Re}(AH) + j\text{Im}(AH)$$

$\text{Re}(AH) \geq 1$  が、発振条件になります。

## 2.2. MOSFET の発振

パワー-MOSFET は  $g_m$  が大きく、寄生容量も大きい為、配線等の浮遊インダクタンス(ゲート、ソース、ドレインと各回路との接続間のインダクタンス)によって、正帰還回路が形成され、寄生発振を起こす可能性があります。

発振による振動電圧が正帰還やゲートのオーバーシュート電圧などを引き起こし MOSFET を破壊する可能性があります。

パワー-MOSFET の寄生発振は素子のオン状態、オフ状態の間では  $g_m$  がゼロもしくは極端に低下するため寄生発振は起こらず、**負荷短絡状態時**や  **$g_m$  の高いスイッチングの過渡期間**に起こる可能性があります。リニアな動作状態 ( $v_{DS}$ 、 $i_d$  が同時に印加されている状態) となるので、電磁誘導、あるいは寄生容量等による正帰還ルートが形成され、MOSFET の高  $g_m$  によりループ利得が "1" 以上であれば寄生発振が発生します。

### 2.2.1. MOSFET の帰還ループ

発振は帰還ループが存在しなければ起こりません。図 2.3 の回路構成で発振条件を求めます。 $X_1 \sim X_3$  は理想のリアクタンスとすると  $X_1 \sim X_3$  の損失は無視できます。したがって、この時の回路は MOSFET から各リアクタンスへ電流  $i$  が流れないと考えられるので、図 2.4 のように書き換えられます。

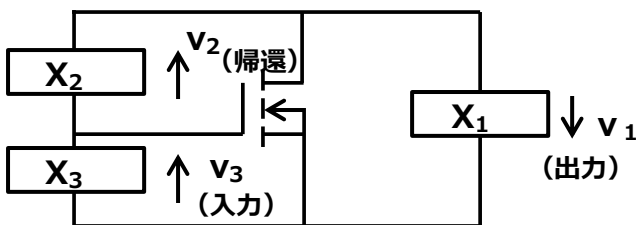


図 2.3 発振基本図

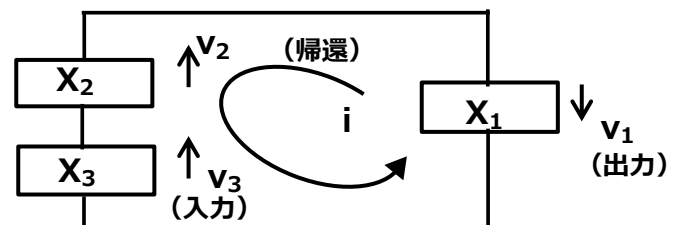


図 2.4 発振回路電流

図 2.4 においてキルヒホッフの法則より

$$v_1 + v_2 + v_3 = i(X_1 + X_2 + X_3) = 0$$

ここで  $i \neq 0$  なので  $X_1 + X_2 + X_3 = 0$

回路が発振している場合は正帰還が掛かっている時であり、図 2.3、図 2.4 において  $v_3$  (入力) と  $v_1$  (出力) は同位相であるということになります。したがって  $X_3$  と  $X_1$  は同質のリアクタンスであり  $X_2$  は異質のリアクタンスになります。

代表的な発振回路としてコルピッツ回路 (図 2.5) およびハートレー回路 (図 2.6) があります。

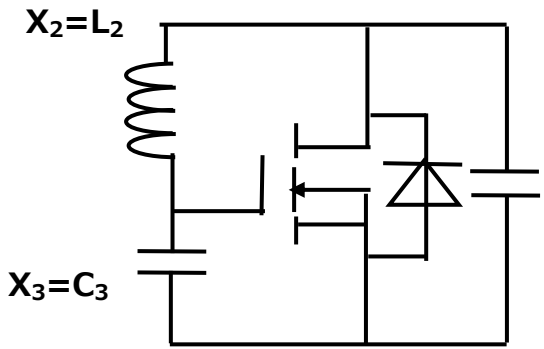


図 2.5 コルピッツ回路

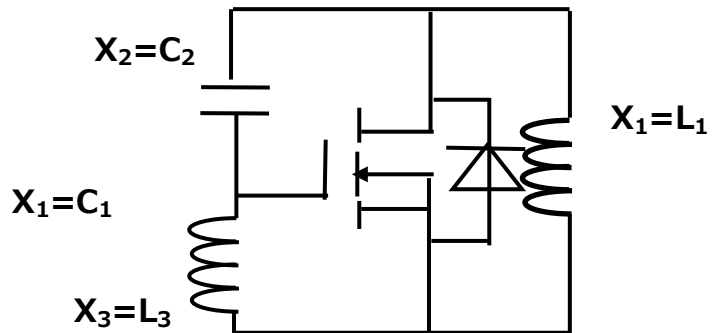


図 2.6 ハートレー回路

### 2.2.2. コルピッツ回路

図 2.7 にコルピッツ基本回路を示します。

図 2.8 のコルピッツ発振等価回路でループ利得を計算することで発振周波数、発振の持続に必要な利得  $g_m \cdot r_d$  がわかります。ゲート電流はゼロであるため  $v_2$  から  $v_1$  への配線を切断して考えています。

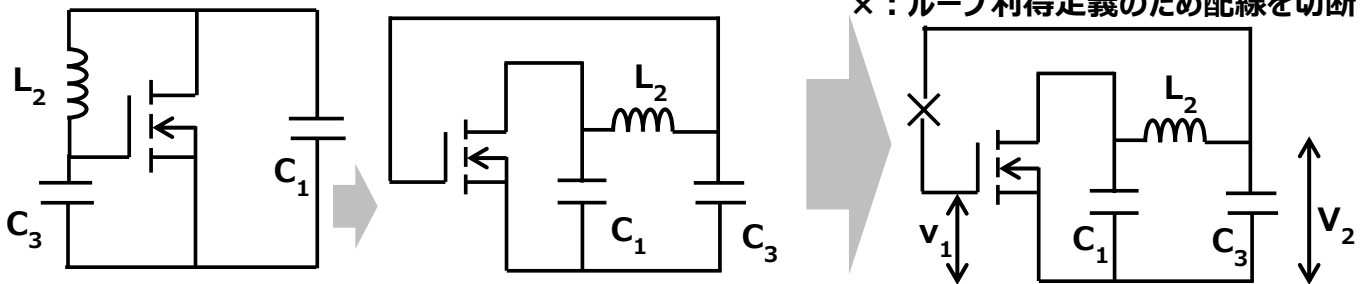


図 2.7 コルピッツ基本回路

$$v_2 = (-g_m \cdot v_1) \frac{1}{\frac{1}{r_d} + j\omega C_1 + \frac{1}{j\omega L_2 + \frac{1}{j\omega C_3}}} \times \frac{1}{j\omega C_3}$$

$$= (-g_m \cdot v_1) \frac{r_d}{1 - \omega^2 L_2 C_3 + j\omega(C_1 + C_3 - \omega^2 L_2 C_1 C_3) r_d}$$

$$AH = \frac{v_2}{v_1} = \frac{-g_m \cdot r_d}{1 - \omega^2 L_2 C_3 + j\omega(C_1 + C_3 - \omega^2 L_2 C_1 C_3) r_d} \quad (6)$$

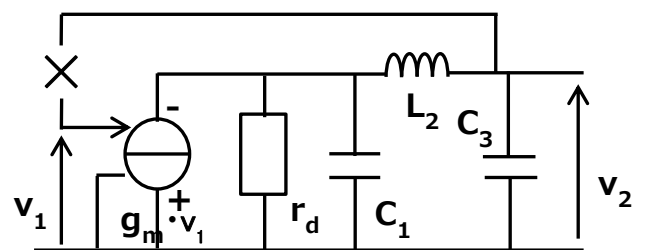


図 2.8 コルピッツ発振等価回路

上式よりコルピッツ回路における発振の周波数や増幅の利得は下記となります。

発振周波数

$$\text{Im}(AH) = 0$$

一巡した信号の位相が 0 度、あるいは 360 度遅れになる周波数で、最も発振しやすい条件として考え

$$C_1 + C_3 - \omega^2 L_2 C_1 C_3 = 0 \quad (j\omega C_1 j\omega C_3 \text{ で割ると } 1/j\omega C_1 + 1/j\omega C_3 + j\omega L_2 = 0)$$

$$\omega^2 = \frac{C_1 + C_3}{L_2 C_1 C_3} \quad (7) \quad \omega = \sqrt{\frac{C_1 + C_3}{L_2 C_1 C_3}} \quad (8)$$

利得  $\text{Re}(AH) \geq 1$  (7)式の  $\omega^2 = (C_1 + C_3) / L_2 C_1 C_3$  を代入して

$$\frac{-g_m \cdot r_d}{1 - \frac{C_1 + C_3}{L_2 C_1 C_3} L_2 C_3} = \frac{g_m \cdot r_d}{\frac{C_3}{C_1}} \geq 1 \quad \therefore g_m \cdot r_d \geq \frac{C_3}{C_1} \quad (9)$$

( $g_m \cdot r_d$  : 電圧増幅率)

### 2.2.3. ハートレー回路

図 2.9 にハートレーの基本回路を示します。

ハートレー発振回路においても上述のコルピッツ発振回路と同様な考え方で図 2.10 から発振周波数、発振の持続に必要な利得  $g_m \cdot r_d$  が判かります。

$$\omega = \frac{1}{\sqrt{(L_1 + L_3)C_2}} \quad (10) \quad g_m \cdot r_d \geq \frac{L_1}{L_3} \quad (11)$$

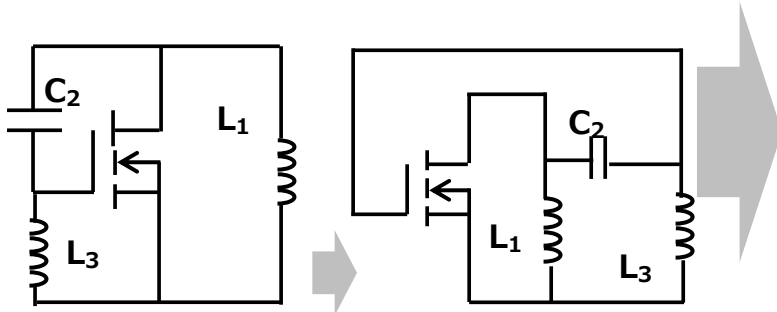


図 2.9 ハートレー基本回路

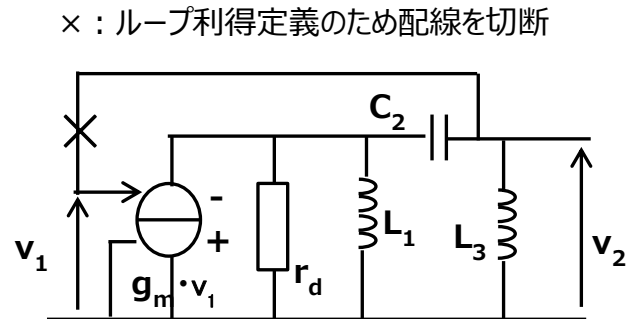


図 2.10 ハートレー等価回路

### 2.3. MOSFET のスイッチング用途における寄生発振 (単独使用)

前述しましたがパワー-MOSFET の寄生発振は素子のオン状態、オフ状態の間では  $g_m$  がゼロもしくは極端に低下するため寄生発振は起こりません。

また抵抗負荷の場合は、ドレインに接続される回路の Q 値<sup>\*</sup>(Quality factor)が低い為、寄生発振周波数のループの利得は低く、通常の寄生発振は起こりません。インダクタンス負荷回路において寄生発振回路が形成される可能性があります。環流ダイオード FWD オフ時では正帰還ループは形成されず寄生発振は起こりません。

図 2.11 の等価回路で FWD オフ期間では寄生発振周波数の等価回路は(インダクタンス負荷は寄生発振周波数では電流を通さない) MOSFET チップ内部のインダクタンスを無視すると図 2.12 に示すように、ゲート配線、ソース配線の浮遊インダクタンスと MOSFET 内部の寄生容量のみで構成されます。図 2.12 の容量 :  $C_{gs}$  とインダクタンス :  $L_1$  の並列回路は周波数によって誘導性、ないし容量性となり、図 2.13、図 2.14 の回路となりますが、正帰還ループは形成されておらず、寄生発振は起こりません。(正帰還ループについては前述 2.2.1 正帰還ループを参照)

Q 値<sup>\*</sup> : インダクタとキャパシタを用いた共振回路の場合

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}}$$

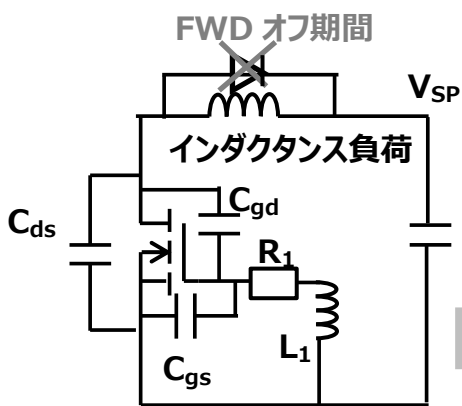


図 2.11 FWD 通電回路

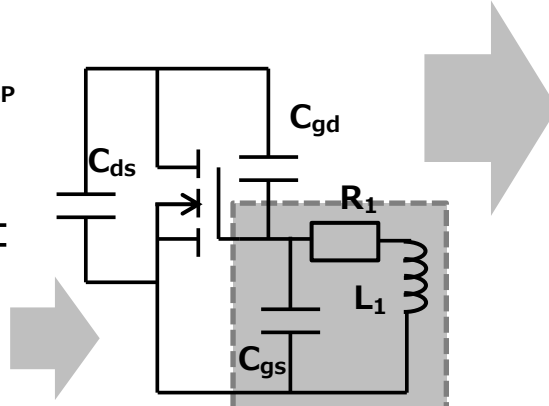


図 2.12 等価回路

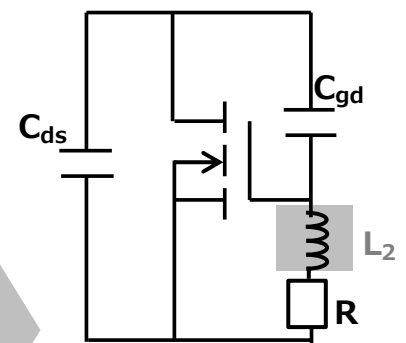


図 2.13 等価回路(a)

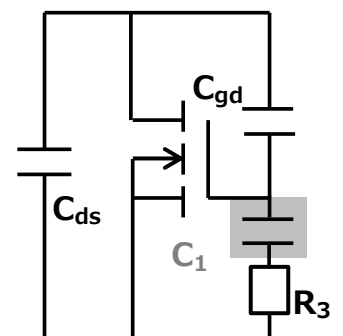


図 2.14 等価回路(b)



### 2.3.1. 寄生発振回路（寄生発振ループ）

下記に記述する場合ドレイン・ソース間に寄生発振ループ（発振周波数を通すループ）が形成され、発振を起こす可能性があります。

#### ① FWD の導通状態（順方向、及び逆回復期間）

FWD 導通状態では図 2.15 の様に、ドレイン・ソース間がリアクトル負荷を回避して電源： $V_{DD}$ -GND 間のコンデンサ  $C_1$  で接続されるので点線の寄生発振ループが形成されます。

#### ② 負荷短絡状態

図 2.16 に示すようにドレイン・ソース間が直接、電源  $V_{DD}$ -GND 間のコンデンサ  $C_1$  で接続されるので点線の寄生発振ループが形成されます。

#### ③ ドレイン・ソース間に大きな寄生容量 $C_2$ が存在する場合

図 2.17 に示すように、ドレイン・ソース間に積層プリント基板の多層配線などによる大きな寄生容量  $C_2$  が入っている場合には寄生発振周波数に対しては条件が整い点線の寄生発振ループが形成されます。

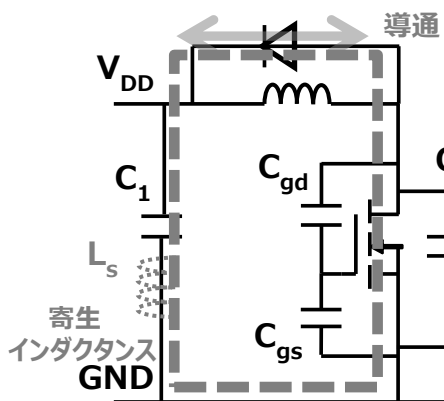


図 2.15 ①FWD 導通回路

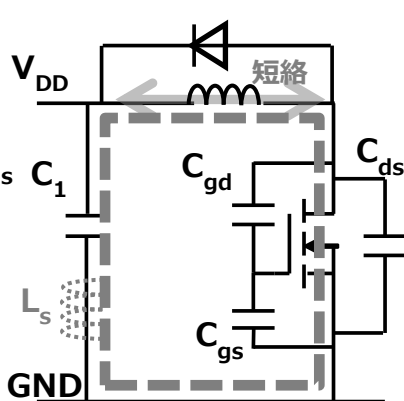


図 2.16 ②負荷短絡回路

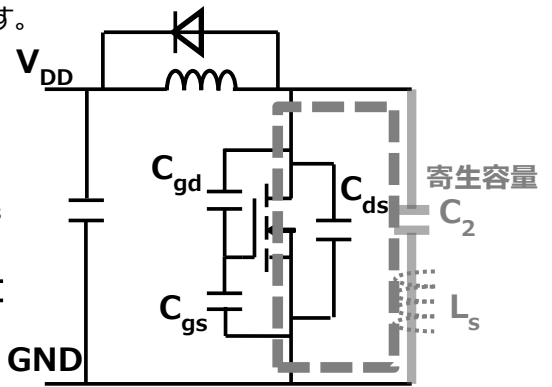


図 2.17③ ドレイン・ソース間の寄生容量の存在

図 2.15,図 2.16,図 2.17 において、コンデンサ容量  $C_1$  ないし  $C_2$  は大きく、寄生発振周波数においては寄生インダクタンスで導通していると見なせます。図 2.18 に等価回路を示します。実際の回路では図 2.18 に対してゲート回路の抵抗  $R_1$  およびゲート配線の寄生インダクタンス  $L_1$  があり、これを付け加えた回路を図 2.19(a)に示します。

図 2.19(a)において、 $C_3$ （図 2.15、図 2.16 における  $C_1$  もしくは図 2.17 における  $C_2$ ）が寄生発振周波数に対して十分インピーダンスが低いと、 $C_3$  は短絡と見なせ、図 2.19(b)となります。ゲートの接続先が回路のドレインとソース間のどの位置に接続されるかで  $L_{s1}$ 、 $L_{s2}$  比が変わり、 $L_1$  が  $C_{gd}$  と  $C_{gs}$  のどちらと並列共振回路を形成するかが決まってきます。

(a)ゲート回路追加

(b)寄生発振周波数回路

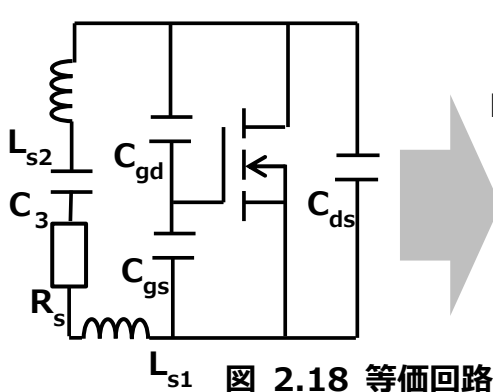


図 2.18 等価回路

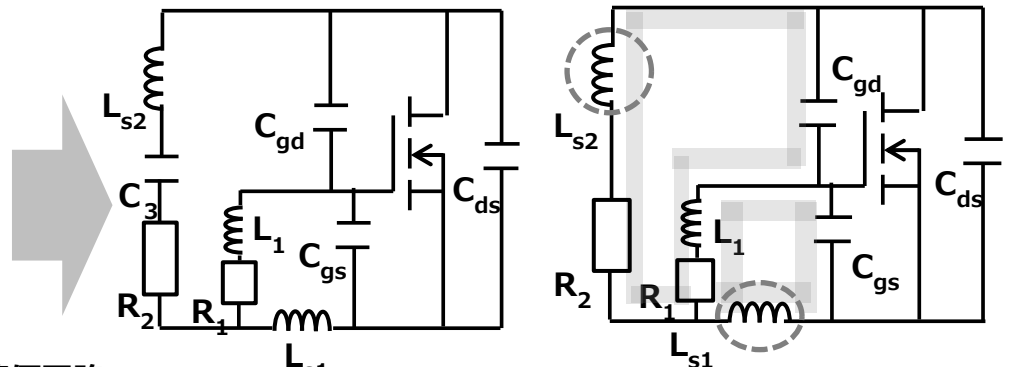


図 2.19 ゲート回路付き等価回路

$L_{s1}$ 、 $L_{s2}$ : 寄生インダクタンスは  $V_{DD}$ -GND 間コンデンサの ESL（等価シリーズインダクタンス）およびドレイン・ソース配線の寄生インダクタンスです。  
 $R_2$ : FWD のオン抵抗、および  $V_{DD}$ -GND 間コンデンサの ESR（等価シリーズ抵抗）です。

図 2.19(b)において、ソース側の配線インダクタンス  $L_{s1} >$  ドレイン側の配線インダクタンス  $L_{s2}$  の場合、寄生発振周波数におけるゲート配線の接続先はソース側ではなく、ドレイン側になります。この等価回路を図 2.20 に示します。

図 2.20 の回路が発振回路を形成する為には、 $L_1$ 、 $C_{gd}$  で形成される共振回路 1 が寄生発振周波数  $\omega_{OSC}$  で誘導性を示し、且つ、 $C_{ds}$ 、 $L_s$  で形成される共振回路 2 が容量性を示す事が必要となります。

この場合、等価回路は図 2.21 の様になります。これは基本的にはコルピッツ回路です。

図 2.21 において、 $R_3$  はゲート抵抗  $R_1$  およびドレイン側抵抗  $R_2$  を MOSFET のドレイン・ソース間抵抗に換算したものです。 $L_2$  は共振回路 1 におけるインダクタンス、 $C_4$  は共振回路 2 におけるキャパシタンスです。

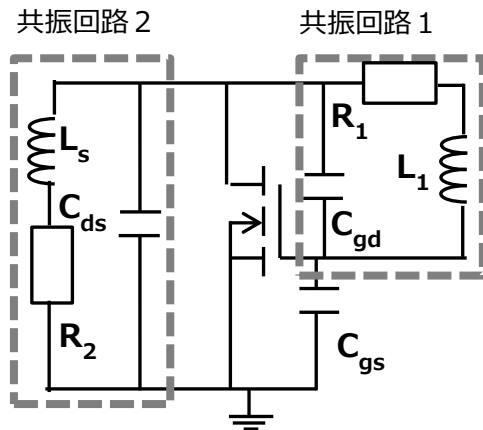


図 2.20 等価回路

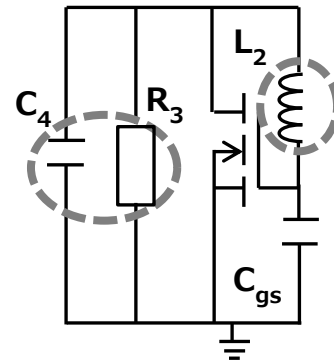


図 2.21 寄生発振等価回路

上記は図 2.19 において‘ソース側の配線インダクタンス  $L_{s1} >$  ドレイン側の配線インダクタンス  $L_{s2}$ ’ の場合について記述しておりますが、‘ソース側の配線インダクタンス  $L_{s1} <$  ドレイン側の配線インダクタンス  $L_{s2}$ ’ の場合ゲート・ソース間に共振回路が形成され誘導性を持った場合かつドレイン・ソース間が誘導性を持つことでハートレー回路が形成され発振する可能性も考えられます。

### 2.3.2. 寄生発振条件

寄生発振回路としてコルピッツ発振回路が成立する場合(2.2.2 コルピッツ回路 式(9)参照)

図 2.21 においてループ利得が 1 以上で発振し、下記式で表されます。

$$g_m \cdot R_3 \cdot C_4 / C_{gs} \geq 1 \quad \text{から} \quad g_m \geq (C_{gs} / C_4) / R_3 \quad \text{ここで、} R_3 \text{ はドレイン・ソース間等価抵抗}$$

$C_4$  を  $C_{ds}$  に置き換えると

$$g_m \geq (C_{gs} / C_{ds}) / R_3 \quad (12)$$

となり、この条件で寄生発振することになります。

### 2.4. 寄生発振の改善、対策

- ・図 2.19(a)において  $L_{s1} < L_{s2}$  となるように配線インダクタンスを考えることでコルピッツ発振回路を回避できます。  
(上記でハートレー回路は形成されないことを前提)
- ・式(12)から、 $C_{gs} / C_{ds}$  が大きい MOSFET を使用すると寄生発振は起こりづらくなります。
- ・図 2.20、図 2.21 において、ゲート抵抗  $R_1$  及びドレイン側抵抗  $R_2$  は MOSFET のドレイン間抵抗  $R_3$  に換算され、概ね、 $R_1$  を上げると  $R_3$  は低下します。従って  $R_1$  を上げることで  $R_3$  を減らし、ループ利得寄生発振を起こりにくく出来ます。

### 3. ドレインインダクタンス誘起電圧振動

MOSFET のターンオフ時のドレイン電流変化  $di/dt$  と MOSFET のドレイン端子、配線の浮遊インダクタンスによってドレイン・ソース間にサージ電圧が発生し、この電圧が MOSFET のゲートに帰還されゲート電圧振動を起こす可能性があります。またゲート振動電圧が大きいとオフ状態の MOSFET を再びオンさせ、オンとオフを繰り返す、発振現象につながる可能性もあります。

#### 3.1. メカニズム

図 3.1 において、MOSFET がターンオフする時、ドレイン電流変化  $di/dt$  と MOSFET のドレイン端子、配線の浮遊インダクタンスによって (13) 式で示すサージ電圧がドレイン・ソース間に付加されます。

$$V_{\text{Surge}} = L_{s2} \times di/dt \quad (13)$$

(13) 式のサージ電圧は図 3.2 に示すドレイン・ソース間のループでダイオードが導通時 ( $L$  のエネルギー回生時) に MOSFET の  $C_{ds}$  と浮遊インダクタンス  $L_{s2}$  で共振するため振動します。 ( $C_1$  は寄生発振周波数に対して十分インピーダンスが低い状態とします。)

このサージ電圧が図 3.1 に示す MOSFET のゲート・ドレイン容量  $C_{gd}$  を通して  $v_{GS}$  波形に伝わり、ゲートインダクタンスも影響して図 3.3 に示すようにゲート電圧振動を起こす可能性があります。

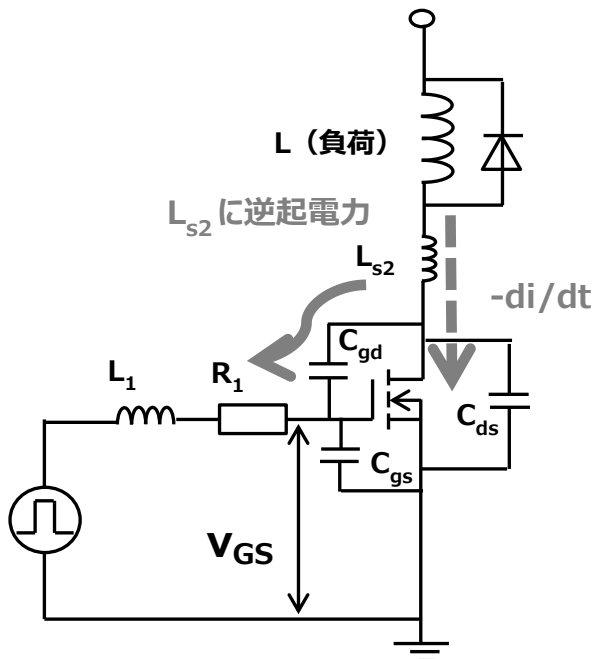


図 3.1 サージ電圧発生回路

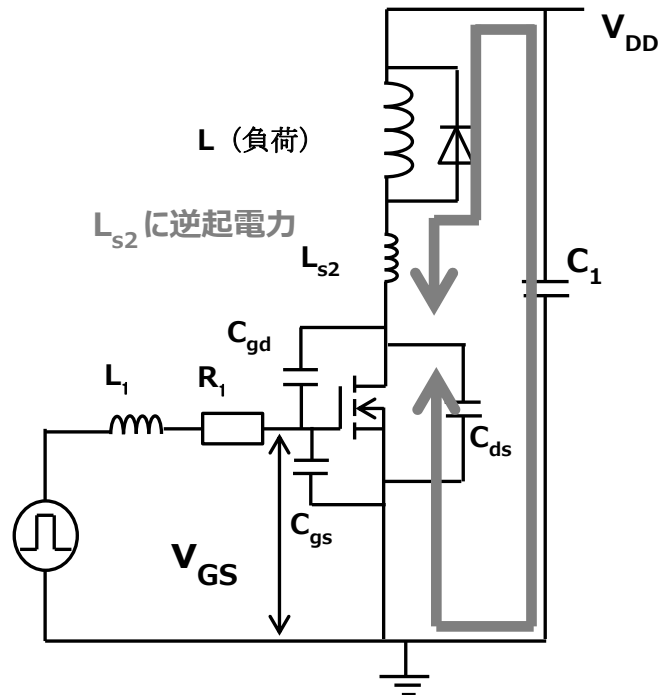


図 3.2 ドレイン・ソース間共振ループ

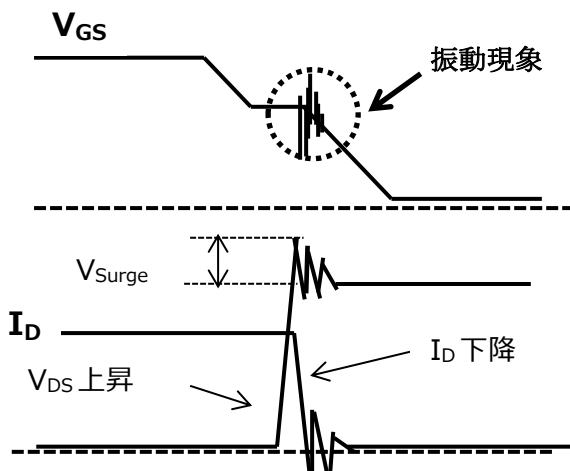


図 3.3 振動波形

### 3.2. 改善、対策

配線インダクタンスを減らすことでドレイン・ソース間のサージ電圧を出させないことが第一であるが、ゲート抵抗を大きくして振動の振幅を抑えることも出来ます。またゲート浮遊インダクタンスを小さくするとゲート振動電圧を抑えることができます。

## 4. ソース端子、配線の浮遊インダクタンスによる誘起電圧

MOSFET オフ時のドレイン電流の変化  $di/dt$  と MOSFET ソース端子、配線の浮遊インダクタンスによる誘起電圧が MOSFET ゲート・ソースループで LCR 共振を起こし、ゲート電圧振動を起こす可能性があります。

またゲート振動が大きいとオフ状態の MOSFET を再びオンさせ、オンとオフを繰り返す、発振現象につながる可能性もあります。図 4.1 において、MOSFET をターンオフさせる時ゲート電圧  $V_{GS}$  は低減していきミラー期間 ( $V_{GS}$  一定) に到達、ドレイン・ソース間電圧  $V_{DS}$  は徐々に上昇していきます。同時にドレイン電流  $I_D$  が減少していきます。(この時、負荷 L のエネルギーは環流ダイオードを通して流れます。) (図 4.2 )

MOSFET の  $V_{DS}$  が上昇していくとドレイン・ソース間容量  $C_{ds}$  も電圧に応じて減少するため、MOSFET のドレイン・ソース間により大きな電圧変化  $dv/dt$  が発生します。これにより電流も急激に減少し電流の変化率  $di/dt$  も大きくなります。

ソース端子および配線の浮遊インダクタンス  $L_{s1}$  があると  $di/dt$  によってこのソースインダクタンスに逆起電力が発生します。

$$V = L_{s1} \times di/dt \quad (14)$$

この電圧により MOSFET のゲート・ソース間電圧が振動を起こす可能性があります。

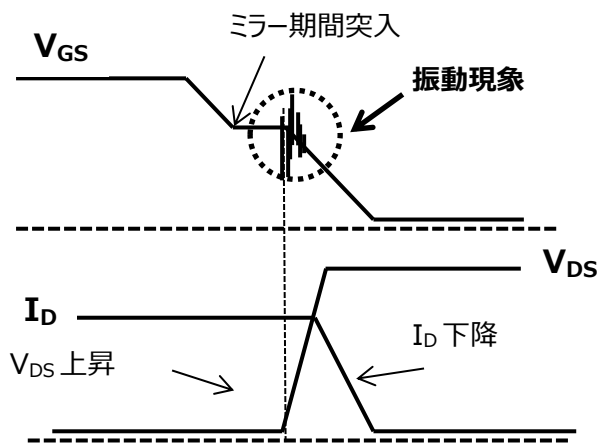


図 4.1 振動波形

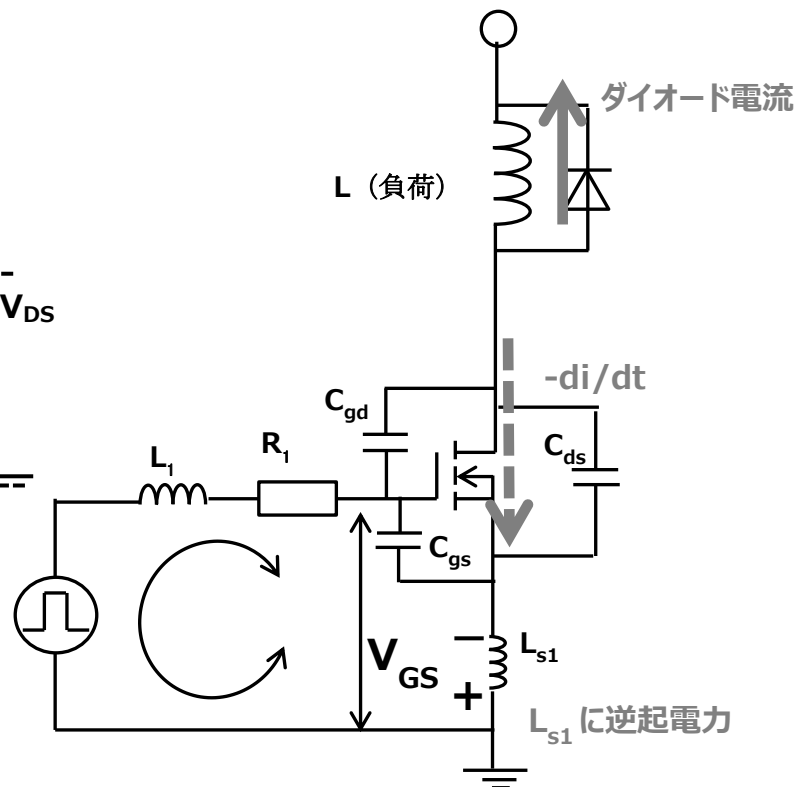


図 4.2 回路

### 4.1. 改善、対策

ソース端子および配線の浮遊インダクタンスを減らすことでドレイン・ソース間のサージ電圧を出させないことが第一であるが、ゲート抵抗  $R_1$  を大きくして振動の振幅を抑えることができます。また  $L_1$  を小さくすることで振動を抑えることができます。

## 5. シミュレーションによる発振、振動確認

発振、振動の現象および改善・対策についてシミュレーションを行いました。  
あくまでも現象確認のためのものであり、実際の回路定数とは異なります。

### 5.1. 発振回路

#### 5.1.1. 発振現象

図 5.1 において下記定数にて発振現象を回路解析しました。

回路定数は発振が起きた時の定数であり、発振現象確認のため意図的に  
ゲート浮遊インダクタンス  $L_1$  及びゲート抵抗は 0 にしております。

ドレイン浮遊インダクタンス  $L_{S2}=20\text{nH}$

ソース浮遊インダクタンス  $L_{S1}=20\text{nH}$

ゲート浮遊インダクタンス  $L_1=0\text{nH}$

ゲート抵抗  $R_1=0\Omega$

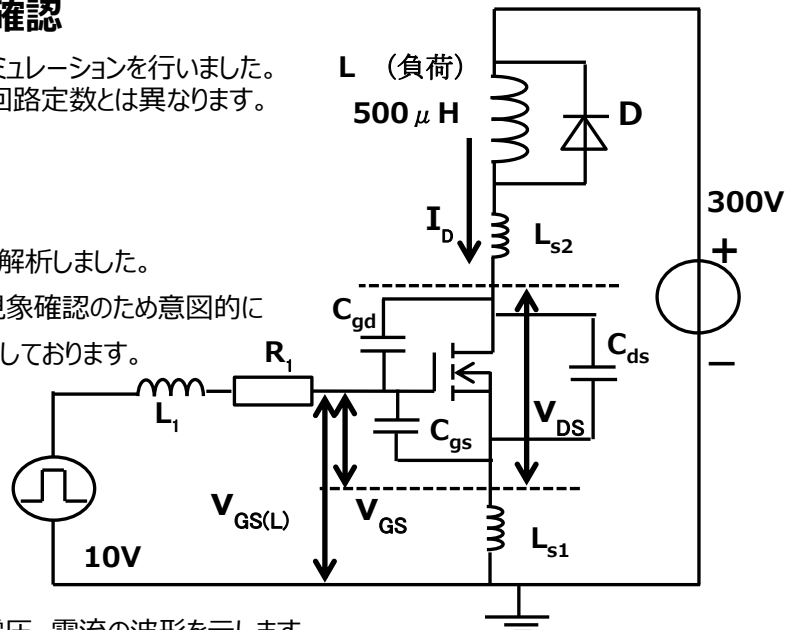


図 5.2 に MOSFET のゲート電圧およびドレイン電圧、電流の波形を示します。

図 5.1 発振現象確認回路

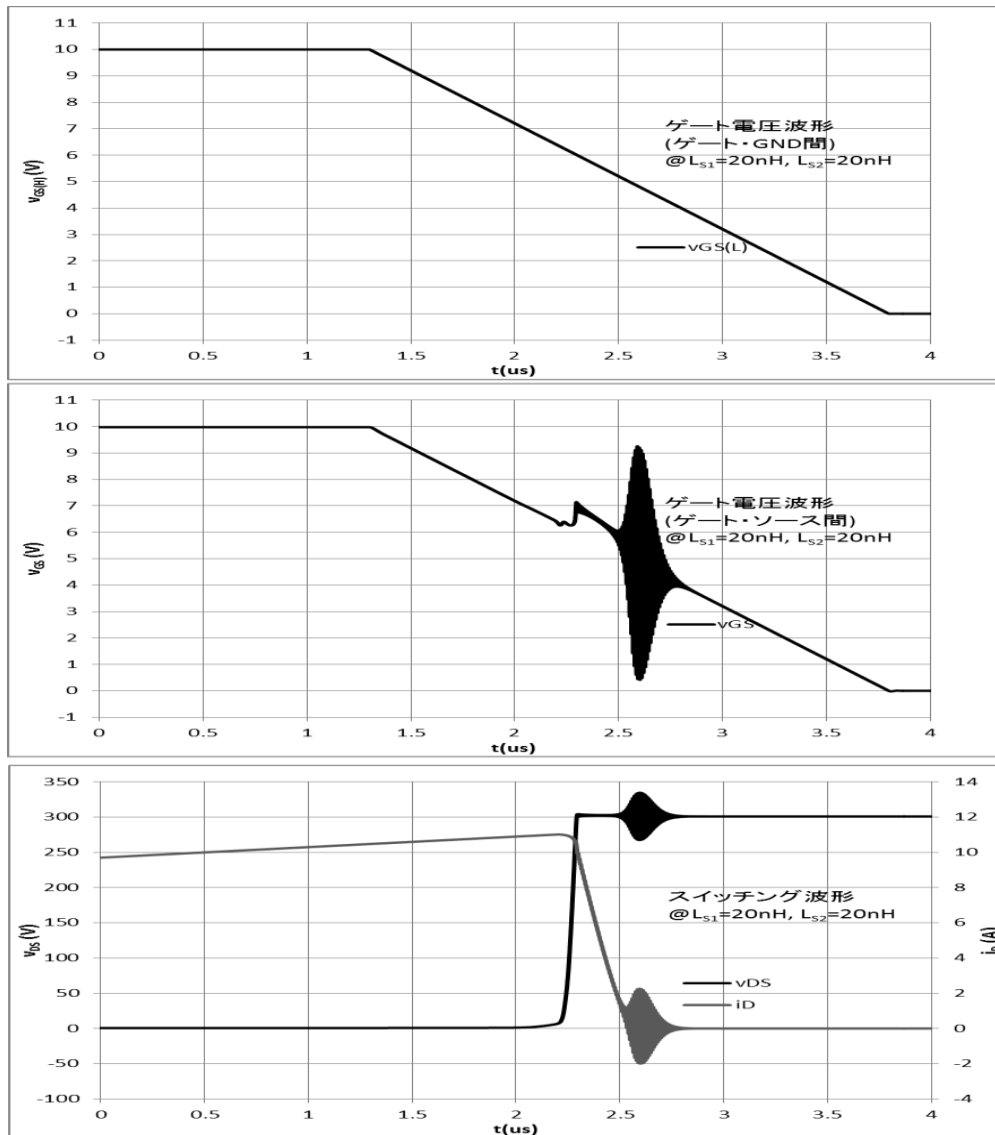


図 5.2 発振波形

### 5.1.2. 発振改善

‘2.4. 寄生発振の改善、対策’ で述べていますが第一に  $L_{S1} < L_{S2}$  となるように配線インダクタンスを考えることでコルピッツ発振回路を回避することができます。

シミュレーションで上記解決法以外の改善方法として、ゲート抵抗およびゲートインダクタンスを変更することで改善が見られました。

(1)ゲート抵抗を大きくする。

図 5.1 においてゲート抵抗値を変更した。シミュレーションでの波形を図 5.3 に示します。ゲート抵抗  $R_1$  を大きくすることで図 5.2 の発振波形からの改善が見られます。

**ゲート抵抗  $R_1=0\Omega$  を変更  $\Rightarrow 10\Omega$**

$L_{S1}=20\text{nH}$ ,  $L_{S2}=20\text{nH}$ ,  $L_1=0\text{nH}$

(2)ゲート浮遊インダクタンスを大きくする。

図 5.1 においてゲート浮遊インダクタンスを大きくした。シミュレーションでの波形を図 5.4 に示します。ゲート浮遊インダクタンス  $L_1$  を大きくすることで図 5.2 の発振波形からの改善が見られます。

**ゲート浮遊インダクタンス  $L_1=0\text{nH}$  を変更  $\Rightarrow 20\text{nH}$**

ゲート抵抗  $R_1=0\Omega$

$L_{S1}=20\text{nH}$ ,  $L_{S2}=20\text{nH}$

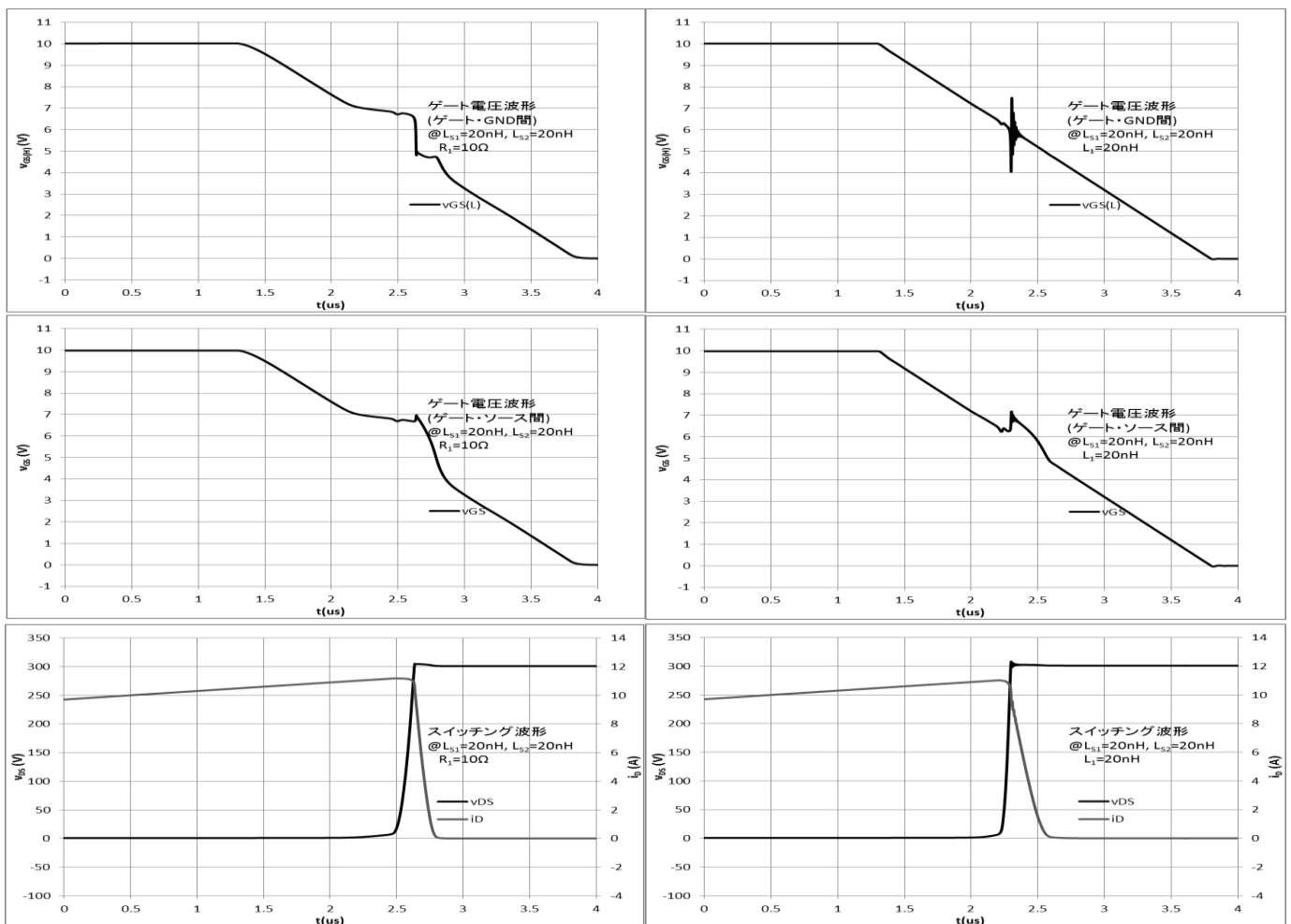


図 5.3  $R_1$  変更波形

図 5.4  $L_1$  変更波形

## 5.2. ドレイン浮遊インダクタンスによる振動

### 5.2.1. 振動現象確認

ドレイン浮遊インダクタンスによる振動現象への影響を回路解析しました。

‘3. ドレインインダクタンス誘起電圧振動’の項目でメカニズムは説明していますが、MOSFET ドレインの浮遊インダクタンスによるサージ電圧が、ドレイン・ゲート間容量  $C_{gd}$  を通して、ゲートに与えられ、ゲート電圧振動を起こしています。

図 5.5 において下記定数にて振動現象をシミュレーションで確認しました。

ドレイン浮遊インダクタンス  $L_{s2}=200\text{nH}$

ゲート浮遊インダクタンス  $L_1=100\text{nH}$

ゲート抵抗  $R_1=1\Omega$

図 5.6 に MOSFET のゲート電圧およびドレイン電圧、電流の波形を示します。

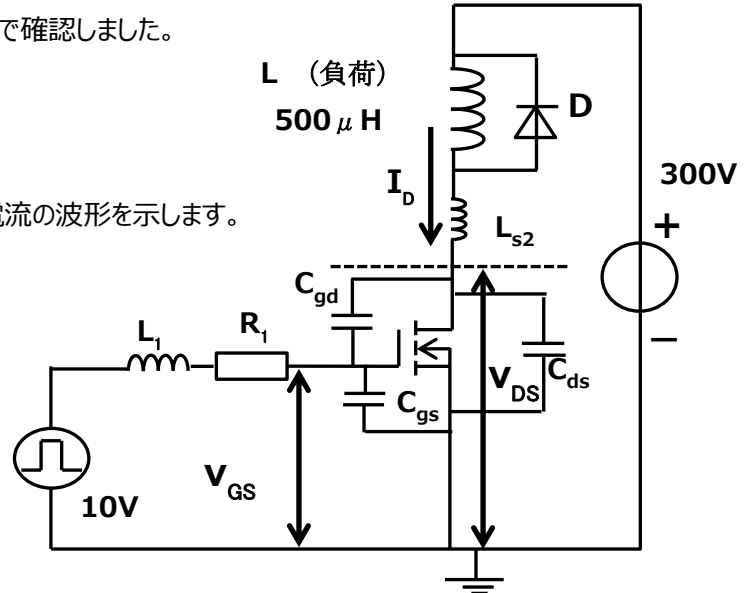


図 5.5 ドレインダクタンス振動回路

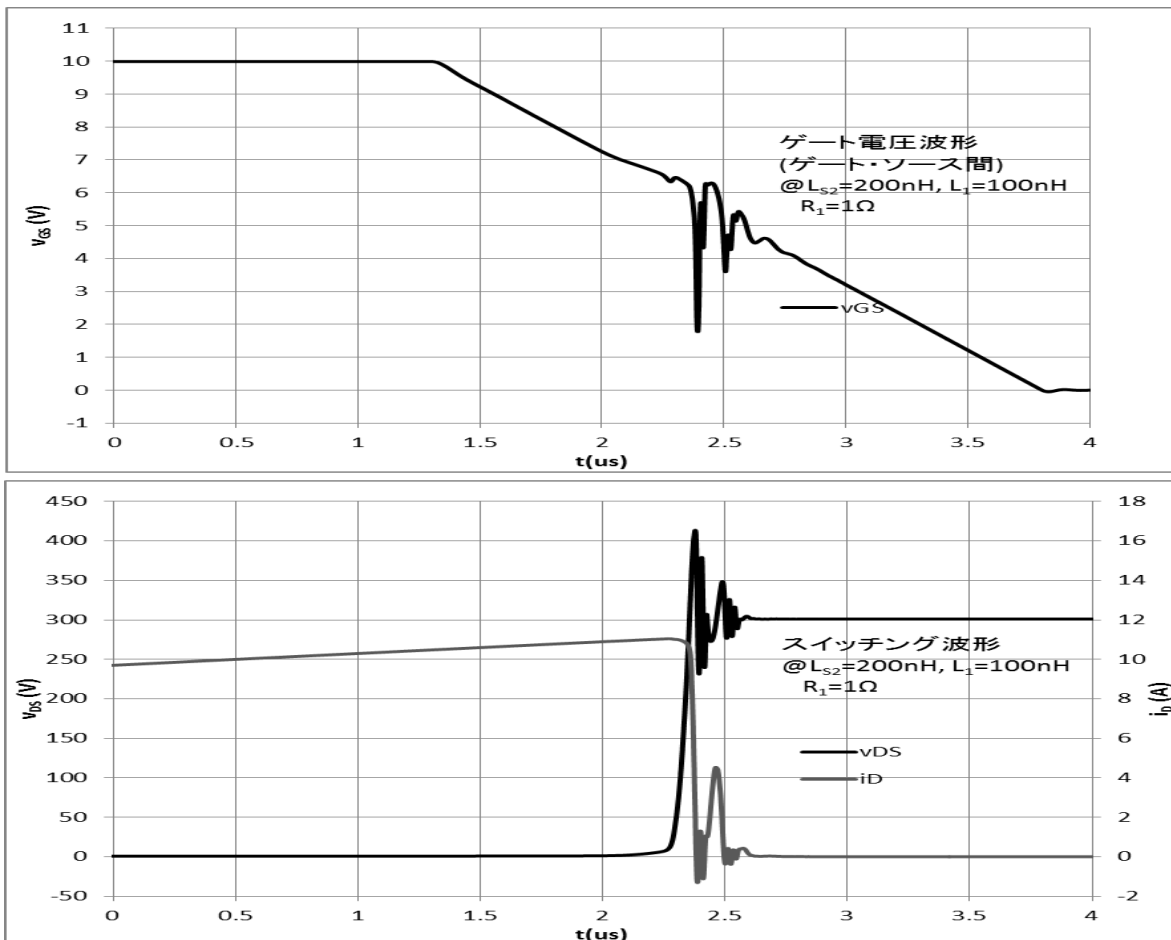


図 5.6 振動波形

### 5.2.2. 振動改善

‘3.2. 改善、対策’ で述べていますが第一にドレインの浮遊インダクタンスを減らすことが重要です。シミュレーションにおいてドレインの浮遊インダクタンスが存在した場合の改善方法として、ゲート抵抗およびゲートインダクタンスを変更することで改善が見られました。

(1)ゲート抵抗を大きくする。

図 5.5 においてゲート抵抗値を変更した。シミュレーションでの波形を図 5.7 に示します。ゲート抵抗  $R_1$  を大きくすることで図 5.6 の振動波形からの改善が見られます。

**ゲート抵抗  $R_1=1\Omega$  を変更  $\Rightarrow 10\Omega$**

$L_{S2}=200\text{nH}$ 、 $L_1=100\text{nH}$

(2)ゲート浮遊インダクタンスを小さくする。

図 5.5 においてゲート浮遊インダクタンスを小さくした。シミュレーションでの波形を図 5.8 に示します。ゲート浮遊インダクタンス  $L_1$  を小さくすることで図 5.6 の振動振波形からの改善が見られます。

**ゲート浮遊インダクタンス  $L_1=100\text{nH}$  を変更  $\Rightarrow 10\text{nH}$**

$L_{S2}=200\text{nH}$ 、 $R_1=1\Omega$

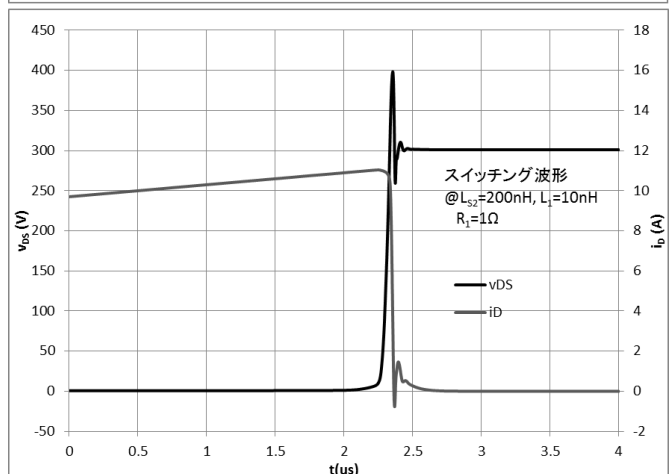
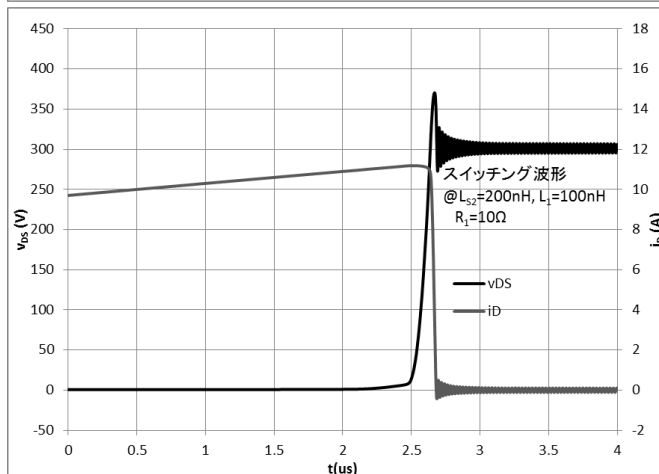
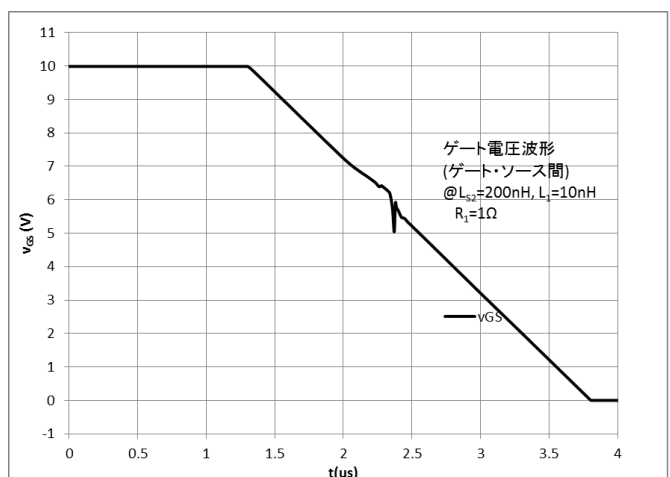
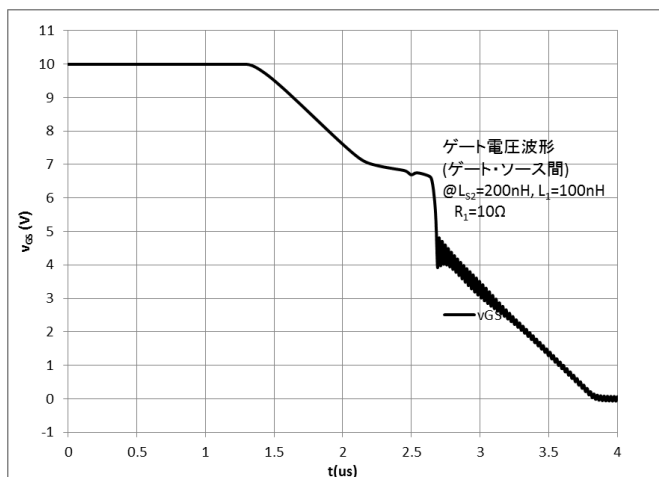


図 5.7  $R_1$  変更波形

図 5.8  $L_1$  変更波形



### 5.3. ソース端子、配線の浮遊インダクタンスによる振動

#### 5.3.1. 振動現象確認

ソース周りの浮遊インダクタンスによる振動現象への影響を回路解析しました。

‘4. ソース端子、配線の浮遊インダクタンスによる誘起電圧図’の項目でメカニズムは説明していますが、MOSFETソースの浮遊インダクタンスによる誘起電圧が、ゲート・ソース間ループでゲート配線の浮遊インダクタンスとゲート・ソース間容量  $C_{gs}$  にて、ゲート電圧振動を起こしています。

図 5.9 において下記定数にて振動現象をシミュレーションで確認しました。

ソース浮遊インダクタンス  $L_{s1}=20\text{nH}$

ゲート浮遊インダクタンス  $L_1=50\text{nH}$

ゲート抵抗  $R_1=1\Omega$

図 5.10 に MOSFET のゲート電圧およびドレイン電圧、電流の波形を示します。

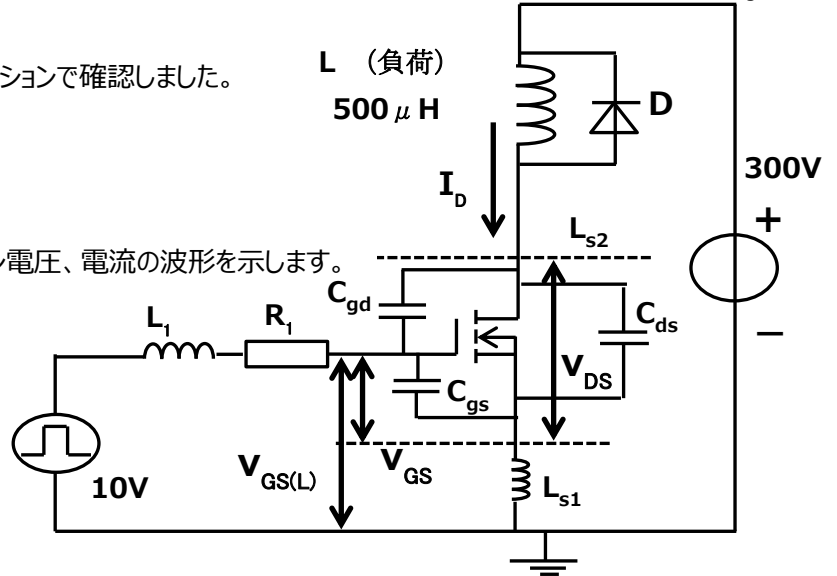


図 5.9 ソースインダクタンス振動回路

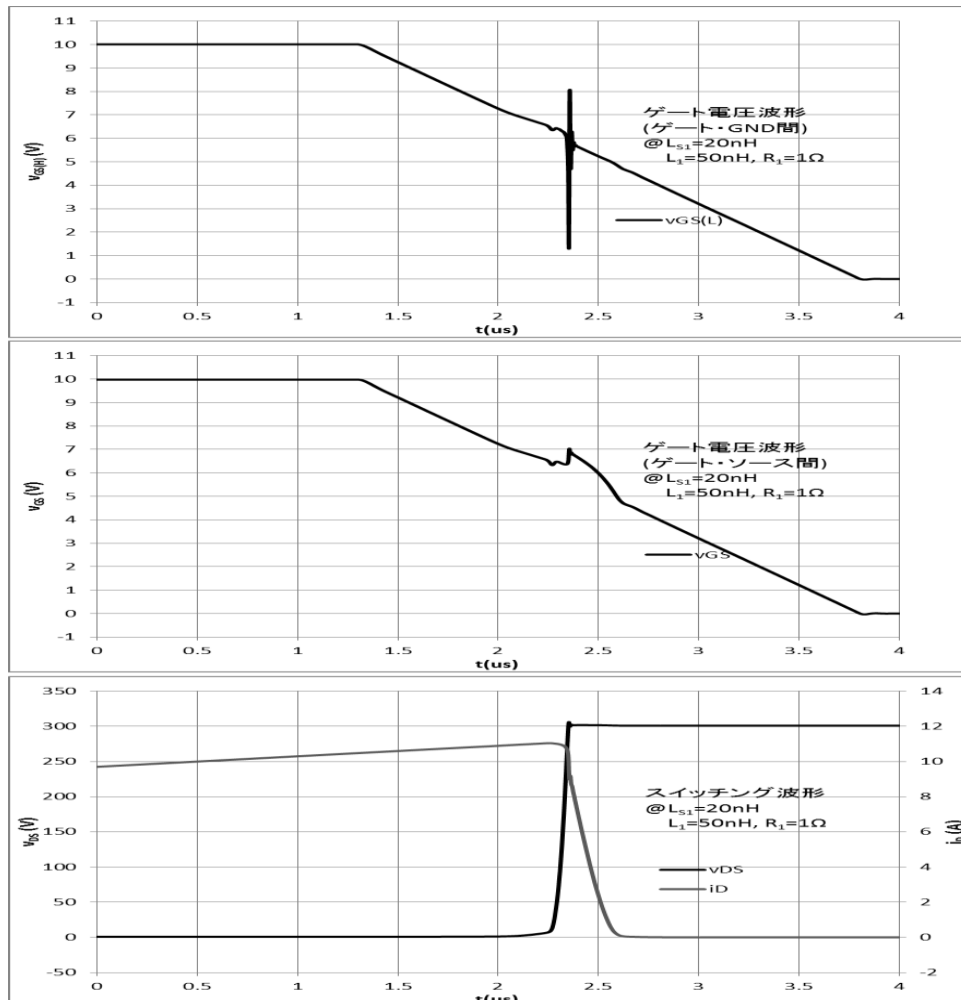


図 5.10 振動波形

### 5.3.2. 振動改善

‘4.1. 改善、対策’ で述べていますが第一にソースの浮遊インダクタンスを減らすことが重要です。

シミュレーションにおいてソースの浮遊インダクタンスが存在した場合の改善方法として、ゲート抵抗およびゲートインダクタンスを変更することでの改善が見られました。

(1)ゲート抵抗を大きくする。

図 5.9 においてゲート抵抗値を変更した。シミュレーションでの波形を図 5.11 に示します。ゲート抵抗  $R_1$  を大きくすることで図 5.10 の振動波形からの改善が見られます。

**ゲート抵抗  $R_1=1\Omega$  を変更  $\Rightarrow 10\Omega$**

$L_{S1}=20\text{nH}$ 、 $L_1=50\text{nH}$

(2)ゲート浮遊インダクタンスを小さくする。

図 5.9 においてゲート浮遊インダクタンスを小さくした。シミュレーションでの波形を図 5.12 に示します。ゲート浮遊インダクタンス  $L_1$  を小さくすることで図 5.10 の振動振波形からの改善が見られます。

**ゲート浮遊インダクタンス  $L_1=50\text{nH}$  を変更  $\Rightarrow 10\text{nH}$**

$L_{S1}=20\text{nH}$ 、 $R_1=1\Omega$

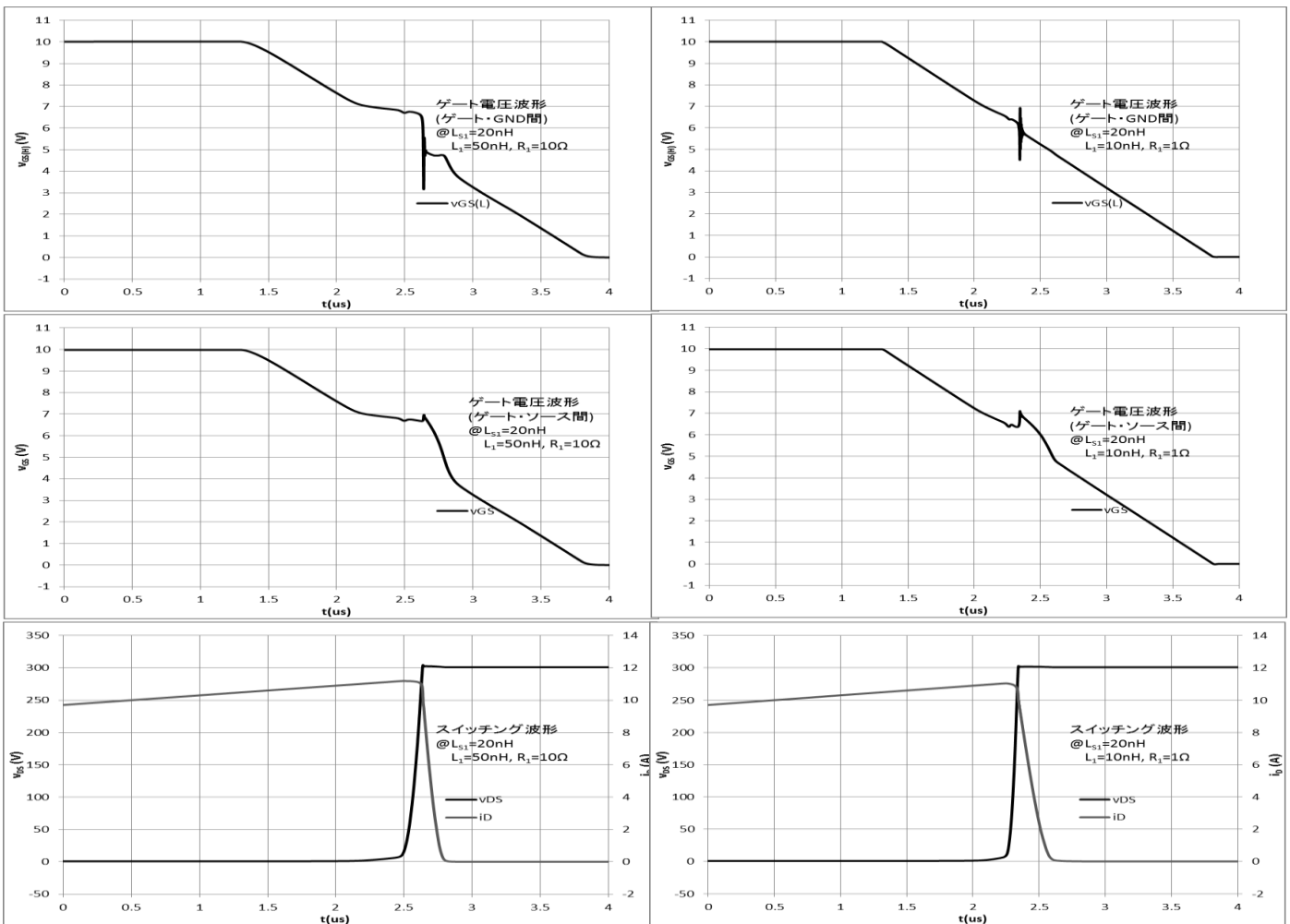


図 5.11 ゲート抵抗  $R_1$  変更波形

図 5.12 ゲート浮遊インダクタンス  $L_1$  変更波形

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。  
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。